This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT.
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

05-210433

(43) Date of publication of application: 20.08.1993

(51)Int.CI. G06F 1/26 G06F 1/32

(21)Application number: 04-293111 (71)Applicant: SHARP CORP

(22)Date of filing: 30.10.1992 (72)Inventor: YOSHIDA YUKIHIRO

(30)Priority

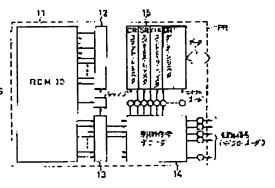
Priority number: 03320460 Priority date: 04.12.1991 Priority country: JP

(54) POWER CONTROLLER FOR DIGITAL ELECTRONIC EQUIPMENT, PORCESSOR EQUIPPED WITH THE POWER CONTROLLER AND POWER MANAGING SYSTEM FOR DIGITAL ELECTRONIC EQUIPMENT PROVIDED WITH THE PROCESSOR

(57)Abstract:

PURPOSE: To reduce the energy consumption of the entire system and to obtain the device having the high degree of freedom by controlling the power of a digital electronic equipment by a logical system means.

CONSTITUTION: A coded power management instruction stored in a ROM 10 as a storing means is extracted and stored by a control instruction control register 13 according to the designation of an address counter 12. A control instruction decoder 14 is connected to the control instruction control register 13, decodes the power management instruction and outputs a control signal. Plural register groups 15 are connected to the control instruction decoder 14, store and process the power management instruction decoded by the control instruction decoder 14. Since the logical system means controls the power of the digital electronic equipment, the energy consumption of the entire system is reduced, and the device having the high degree of freedom can be obtained.



华 噩 **谷**(2) (19)日本国特許庁(JP)

会職の 盐

特開平5-210433

(11)特許出關公開番号

(43)公開日 平成5年(1993)8月20日

(51)IntCL.		識別記号	庁内整理番号	14			技術表示箇所	
C 0 6 F	92/1							
	1/32							,
			7165-5B	G 0 6 F	8 /	334	×	
			7165-5B			332	2	

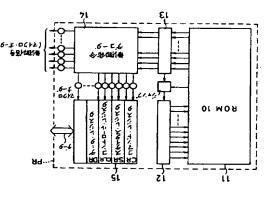
審査請求 未請求 請求項の数3(全48頁)

特類で4-283111 (71)出額人 00005049	平成 4 年(1992)10月30日 大阪府大阪市阿伯野区長地町22番22号	(72)幾明者 吉田 奉弘	(31)慢先幅主设备号 特颇平3-320460	平3(1991)12月4日 +ープ株式会社内	日本(JP) (74)代理人 弁理士 川口 義雄 (外1名)					
(21)出版番号	(22) 出版日		11)優先権主扱番号	(32)優先日	(33)優先檔主發因					

デジタル電子機器用電力制御装置、該電力制御装置を備えた処理装置、及び該処理装置を備えた デジタル電子観器用電力管理システム (24) [報明の名称]

【構成】 荷合化された電力マネージメント命令を出力 するリードオンリメモリ (ROM) 10と、ROM10に接 [目的] システム全体の消費電力を低減でき、自由度 脱されておりROM10をアクセスするアドレスカウンタ 12と、ROM10に接続されておりROM10から出力され が高いデジタル電子機器用電力管理装置を提供する。

た符号化された 気力マネージメント命令を記憶する制御 命令レジスタ13と、制御命令レジスタ13に接続されてお り制御命令レジスタ13に記憶された符合化された電力マ ネージメント命令をデコードしてマイクロオーダを出力 する制御命令デコーダ14と、関御命令デコーダ14に接続 されており制御命令デコーダ14により復号された成力マ ネージメント命令を記憶して処理するレジスタ・グルー プISとを備えている。



、特許を表の後囲

された魅力マネージメント命令を記憶する命令制御手段 と、前記命令制御手段に接続されており該命令制御手段 「顔求項1】 「符合化された電力マネージメント命令を 出力する記憶手段と、前記記憶手段に接続されており核 記憶手段をアクセスするアクセス手段と、前記記憶手段 に接続されており核記憶手段から出力された前記符号化 に記憶された前記符合化された電力マネージメント命令 を復号して制御倡号を出力する復号手段と、前記復号手 段に接続されており鼓復号手段により復号された前記載 カマネージメント命令を記憶して処理する複数のレジス タとを備えていることを特徴とするデジタル電子機器用

のモードに設定すると共に当該設定されたモードに基づ 【幼求項2】 消費電力が低減されるように電源を所定 に記載のデジタル電子機器用電力制御装置を備えた処理 いて入力及び出力を制御することを特徴とする御求項!

气力即倒较配。

の処理装置の電力を制御することを特徴とするデジタル 【静水頂3】 静水頂2に記載の処理装置の複数を一つ 又は複数の大規模集積回路で形成し、該一つ又は複数の 大規模集積回路の消費電力が低減されるように各該複数 粒子機器用載力管理システム。

発明の詳細な説明】 (1000)

用できる電力制御装置、該電力制御装置を備えた処理装 型、及び該処理装置を備えたデジタル電子機器用の電力 哲理システムに関する。

ジタル電子機器では、大きさの小型化が進むと共に電池 [従来の技術] 一般に、パーソナルコンピュータ等のデ 駆動の要求が多く、消費電力を極めて小さくできるシス テムの国免が個人に研究されている。

[0002]

システム設計によって消費電力を減らすという簡理的手 段で消費電力を下げることができるシステムを構築する こ、システムを構成している半導体デバイスの低消費艦 力化という物理的手段で消費電力を下げるだけでなく、 [0003]特に、消費電力を極めて小さくするため ことが重要になってきている。

[0004]通常、デジタル電子機器は、それぞれが固 記憶装置 (メモリ、パッファ等) によってシステム構成 Oコントローラ、及び記憶装置への魅力供給を制御する (CPU)、各種入出力(1/0)コントローラ、及び は、1つのパワーコントローラによりCPU、各種1/ 育のデータ処理機能の特性を有している中央処理装置 されており、従来のデジタル電子機器用電力管理装置 集中パワーマネージメント方式を用いている。

【免明が解決しようとする課題】しかしながら、上述し

た従来のデジタル電子機器用電力管理装置では、CPU-や各種1/0コントローラの電力(パワー)を個々に倒 即することができず、無駄な電力を消費してしまうとい う問題点があった。また、従来のデジタル電子機器角電 インブットアウトブット・システム (BIOS) による 力管理装置では、ハードウエアに依存する部分とそうで ない部分とにモジュール分割されたオペワーティング・ システム (0S) のプログラムを形成するペイシック・ パワーマネージメントサポートを用いているので自由度 が低いという問題点があった。

【0008】本発明は、上記従来のデジタル電子機器用 見力管理装置における問題点に臨み、協理的システム手 段によりデジタル電子機器の電力を制御できるデジタル 町子機器用電力制御装置を提供する。 【0007】また、本発明は、電力を備々に制御できる

上記デジタル電子機器用電力刷御装置を備えたCPUや [0008] 更に、本発明は、上記デジタル電子機器用 **取力制御装置を備えたデジタル電子機器を構成するCP** ∪や各種 1 /0コントローラの魅力を関々に倒御してシ ステム全体の消費電力を低減でき、自由度が高いデジタ 各種1/0コントローラ等の処理装置を提供する。

[6000]

小電子機器用電力管理システムを提供する。

【隅脳を解決するための手段】 類1 免明は、符合化され 手段に接続されており記憶手段をアクセスするアクセス 手段と、記憶手段に接続されており記憶手段から出力さ れた符号化された電力マネージメント命令を記憶する命 **令制御手段と、命令制御手段に接続されており命令制御** 手段に記憶された符合化された電力マネージメント命令 投焼されており復母手段により復母された電力マネージ た電力マネージメント命令を出力する記憶手段と、記憶 を復号して制御信号を出力する復号手段と、復号手段に ているデジタル電子機器用電力耐御装置によって遠成さ メント命令を記憶して処理する複数のレジスタとを備え

最淑を所定のモードに設定すると共に設定されたモード に基づいて入力及び出力を制御するデジタル電子機器用 【0010】第2発明は、消費権力が収減されるように 80.力制御装置を備えた処理装置によって達成される。

【0011】第3免明は、処理校園の複数を一つ又は複 数の大規模集積回路で形成し、一つ又は複数の大規模集 類回路の消費電力が低減されるように各位数の処理装置 の電力を制御するデジタル電子機器用電力管理システム によって達成される。

0012

手段をアクセスし、命令制御手段は記憶手段に接続され 出力し、アクセス手段は記憶手段に接続されており記憶 (作用) 築1発明のデジタル電子機器用電力制御装置で は、記憶手段は符合化された電力マネージメント命令を

ており記憶手段から出力された符号化された電力マネー

3

【0013】第2毎明の処理装置では、デジタル電子機器用電力耐御装置は消費電力が低減されるように電源を発出していると、上に設定すると共に設定されたモードに基づいて入力及び出力を制御する。

【0014】第3発明のデジタル電子機器用電力管理シスチムでは、処理装置の複数を一つ叉は複数の大規模集構開発で形成し、一つ叉は複数の大規模集構回路の消費電力が低減されるように各複数の処理装置の電力を制御する。

[0015]

【実施例】以下、図面を参照して本発明のデジタル電子 機器用電力制御装置、該デジタル電子機器用電力制御装 置を備えた処理装置、及び該処理装置の実施例を詳細に ^{出出}出出セス 【0016】図1-は、第1発明のデジタル電子機器用電力網額装置である個別網額的PRの一実施例の構成を示すプロック図である。

(0017]図1の国別問題的PRは、リードオンリメモリ (ROM) 10に書き込まれた命令を出力するプログラム配信部11、プログラム配信部1に接続されておりROM10をデクセスするアドレスカウンタ12、プログラム配信部11に接続されており下のスカウンタ12、プログラム配信部11に接続されており配回命令レジスタ13に接続されており回回命令レジスタ13に接続されており回回命令レジスタ13に記憶された命令をデコードして制御信号(マイクロオーダ)を出力する倒回命令デコーダ14、周回命令デコーダ14に接続されておりンスチムの電源投入時にパワーマネージメントの命令及びデータを記憶して処理するレジスタ・グルーブ15によって構成されている。

【 0 0 1 8 】 御御命令デコーダ14及びレジスタ・グループ15は、 個別倒御節PRが接続される中央処理装置 (C P U) または各人出力 (I ∕ O) コントローラにそれぞれ接続されている。 刷御命令デコーダ14は、 C P U または各 I ∕ O コントローラとデータの接受を行い、 レジスタグルーブ15は、 C P U または各 I ∕ O コントローラを制御するためのマイクロオーダをC P U または各 I ✓ O コントローラに出力する。

【0019】個別部創部BPRは、待避イベントや復編イベントの創込によって、個別側割部BPR、CPU及び各イントのコントローラの主従国係をスイッチするためのロジック及びパワーマネージメントの起動を検知するロジックを購えている。

【0020】虹弧投入時に個別制御部BRのコマンド・ レジスタやデータ・レジスタに入力されるパワーマネー

データを記憶しておくレジスタ、個別制御部PRがパワ

ジメントの命令は、CPUや名1/Oコントローラの機能に応じて異なるので、この命令を解験実行する個別制御的PRのRのMIOには、それぞれ異なったプログラムが記憶されているので、例えば、CPUの個別側御的PRを構成するプログラムとは観ばするプログラムとは異なる。また、機能に応じて個別側御部PRのアログラム記憶部11をROM10の代わりにAND/ORゲートで構成してもよい。

【0021】個別制御御FRは、それが属する装置と一体式に形成されてもよく、それが属する装置と着脱自在に設けてもよい。

【0022】また、個別制御部PRを構成するプログラム記憶的11は、個別制御部PRと一体式に形成されてもよく、個別制御部PRと増製自在に設けてもよい。 よく、個別制御部PRと着製自在に設けてもよい。 【0023】更に、鑑調投入時にCPUが個別制御部PRに知らせるパワーマネージメントの命令データは、システムのアドレスパスやデータパスを通じて個別制御部PRDとジスタグルーブ15を構成しているコマンド・レジスタやデータ・レジスタ等に入力される。個別制御 形式でありオペランドとオペレータから構成されている 機械語命令である。 【0024】マイクロオーダは、個別制御部PR内の各 レジスタの人出力ゲート、CPUや各I/Oコントロー

部PRの命令は、通常のマイクロコンピュータと同様な

【0025】次に、個別制御部 PRを構成する上記各構 成部分の動作を説明する。

ラのレジスタ並びにメモリ部の入出力ゲートを制御す

【0026】プログラム記憶部川は、ROM10を含んでおりROM10に書き込まれた命令プログラムを制御命令デコーダ14から出力されるマイクロオーダに基づいて出力する。なお、上述したようにプログラム記憶部川は、加野側側御部PRの機能に応じてROMの変わりにAND/ORゲートにより構成されてもよいが、本質筋例では、ROMを用いた場合について説明する。

ーマネージメントの命令を処理するのに必要なワーク用レジスを等に分類される。

【0028】図1の個別期間部PRはそれ自身で小級機なマイクロコンピュータを形成しており、後述するように、デジタル電子機器を形成しておりそれぞれが固有のデータ処理特性を有するCPUや各1/Oコントローラ毎に個別面部部PRを設けることによって、CPUや各1/Oコントローラを個別にパワーマネージメントできる分散パワーマネージメント・システム(以下、システムと称する)を構成する。

ブとして稼動させる。

【のの29】以下、システムにおける個別部間部PRの動作、特にCPU及び名1/0コントローラに接続された個別側部部PRの動作を図2のフローチャートを参照しまませます。

作に応じたパワーマネージメントの処理情報を予め格納 ントを実行し、それぞれが実行状態か否かを判別し(ス 7)、上記ステップS3で各1/0コントローラ毎にパ ワーマネージメントを質しかつ各 1 /0コントローラの させ、各1/0コントローラを従(サブ)として稼動さ (スチップSI)、CPUによりCPU及び各1/0コ ントローラの個別制御部PRのレジスタにそれぞれの機 能に応じてパワーマネージメントを既に実行しているか まだ実行していないときは、各1/0コントローラの個 剛制御部 B R により各機能に応じてパワーマネージメン トを実行して各1/0コントローラの配頭を制御し(ス テップS5)、上記ステップS4で、既に実行状態であ CPUや各I/Oコントローラを主 (メイン) として稼 個別制御部 B R がパワーマネージメントの実行時以外で 智郎 BROロジック(Logic)をメインとして稼動 【0030】まず、電源を投入してシステムを初期化し し(ステップS2)、初期化されたシステムがパワーマ 3)、上記ステップ S 3の検出の結果、システムがパワ ーマネージメントを必要したときに(Y.E.Sの場合)、 各I/Oコントローラの個別制御部PRがそれぞれの観 れば、各1/0コントローラ毎に全てパワーマネージメ あるか否かを判別し(ステップS8)、上配ステップS 8でYESの場合には、各1/0コントローラの個別制 否かを判別し (ステップS4) 、上記ステップS4で、 テップS6)、上記ステップS6でYESの場合には、 動させて通常の複算等の実行処理を行い(ステップS ネージメントを必要するか否かを検出し (ステップS せて各1/0コントローラを制御する (ステップS

【0031】また、上記ステップS6でNの場合には、各1人0コントローラを各種的に応じて異なる状態(待機、待避、実行等の状態)に維持する(ステップS10)。 一般として、フル・パワーが認かっている状態で待避を必要とするパワーマネージメントのイベントがあったときにはCPUの国外回避的PRをメインとして稼動させCPUをサブとして稼動させ、パワーマネー

ンメントを個別短額部PRのロジックに基づいて投作して直流(DC)パイアスが影かったタイミングに入り、「このタイミング中に、キーまたはタイマから資格イベントの入力があったときにはCPUをメインとして経動させてシステムが資格することを各1/Oコントローッに知らせて残存状態に入り、CPUの個別極部部PRをサ

(0032)なお、図1の個別問題的PRは、フロッピディスクを使用しているシステムに対しても回縁にパワーマネージメントを投行できる。 (0033)図3は、図1の個別問題用PRを備えたシステムの一種成別を示すプロック図である。 (0034)図3のシステムは、「CAトや外部記載

【0034】図30ツステムは、ICカードや外部記憶校開として、フラッシュメモリを使用しており、冷遊イムント、演者イベント時によった観察をロントロールがもパワーコントロール部を鑑えている。

[0035] 図3のシステムでは、各入出力 (1/0) コントローラの実質的なパワーコントロールは、総列人 出力 (P1/0) コントローラのパワーコントロール出 力によって行なわれる。

により、システムが2通りの状態をもつことができ、自 た、リアルタイムクロックの最優先の割込を除いて、符 る。また、個別制御師PRを用いた分散パワーマネージ の個別制御部PRのスタートアップは、システムの人出 によるシステムマネージメントによって開始される。ま 接続されている。ように示されているが、物理的にはCP に、 図3のシステムでは、統計11の個別館御館PR て、DCパイアスモード (システムスタンパイ) にある ときを"1"、そうでないときを"0"と設定すること メント方式では、ペイシック・インブット・アウトブッ カ(1/0)トラップや幅々の入出力(1/0)の割込 ト・システム (BIOS) サポートも不毀であり、全て 【0036】図3のシステムでは、亀部ラインは摂列に また、図3のシステムでは、観測はメインメモリ20、1 Cカード21、フラッシュメモリ22、V-R A M 23 の A Uや名I/Oコントローラ毎に並列に彼続されている。 モリにそれぞれ値列または並列に接続されている。更 が扱けられているので、これら個別型御師PRによっ 由度の高いパワーマネージメントシステムを実現でき 題ホー、演像ホー韓のスミツャル・キーSK(後述ぎ

る)の割込をいつでも受付けることができる。 [0037]因4は、待避キー、復稿キー等のスペンヤル・キーSKや種類スイッチにより軽数がフルバワー及びDCパイアスに変化したときの種類の創作を示す。 [0038]この種類の動作は、CPUや名1/0コントローラの状態により、時間的にそれぞれ段なっているが、システムの状態によっては、CPUや名1/0コントローラもシステムの種類創作と同一になる場合があ 【0039】図5は、システムの移り変りを示す状態図

(4)

车窗中5-210433

優先顧位1 リアルタイムクロックイベント [0040]

優先顧位2 スペシャル・キーSK入力(待避/復帰K

ey) イベント

降先層位3 タイヤーイベント

優先単位4 通信イベント

優先顧位5 メモリ転送 (DMA) イベント

優先顧位6 その他(周顧位)イベント

本実施例では多重割込はないものとするが、多重割込を 許すシステムでも、割込スタックレジスタを設けること により、個別制御部PRを用いた分散パワーマネージメ ント方式によるシステムを形成できる。

ムが初期化されるイニシャライズの状態、システムが資 算等を実行した後のディスプレイや入力待ちを示す待機 伏想、システムがデータ処理中であることを示す実行状 【0041】システムの状態には、電源投入時のシステ 【0042】図5は、システムのイベントによる状態の **態及び上述した割込によって組る待避状態がある。**

【0043】例えば、リアルタイムクロックは、最も優 トに相当する。また、時刻が何時何分になればシステム ステムは常にリアルタイムクロックの割込要求を受付け て表示しなければならない。これは図5では復帰イベン を非動作に設定するような場合は、図5では待避イベン 先度が高いが、時刻をいつでも表示するような場合、

変化を示す。

求をシステムが出して行う。これは、図5では復帰イベ 【0044】通信イベントでは、受信データの受信要求 は、システムとは常に非同期に起り、割込優先度は高い ちにもってくるのが普通であるが、データ長が決めにく いので1フレームの受倡とする。完全な受傷は、受信要 ンに抵当する。 [0045] スペシャル・キーSKによる入力イベント は、システムの使用者が人為的に、システムを待避状態 こあるとき、一定時間が経過すれば表示装置の表示を消 すとか、システムを待避状態にするとか、待避状態から 【0046】タイマ・イベントは、システムが待機状態 り、図5では待避イベント、復帰イベントに相当する。 にしたり実行状態にしたりするキー人力イベントであ **寺機状態にする時間的なイベントである。**

ステムのアプリケーションによって多様なイベントがあ [0047] 上近したことは状態遺移の一例であり、

【0048】システム全体及びシステムを構成するCP Uや各I/Oコントローラは、それぞれの個別制御部P

Rにより、待避イベントがあれば図5に示す待避状態

(即ち、システムスタンパイ (DCパイアスモード))

を生み出すことができる。

[0049]以下、本実施例のシステムに用いられてい **る戦力コントロール回路、CPU、各1/0コントロー** う、及び各メモリについて群迹する。

【0050】図6は、何カコントロール回路PCCの一 構成例を示す。

【0051】図6の亀カコントロール回路PCCは、2 つのトランジスタからなり、P1/0のパワーコントロ ールポートから出力される個号A, Bが各トランジスタ のペース入力端子TA,TBにそれぞれ入力される。

[0052]なお、システムのアプリケーションによっ てトランジスタの数は変化する。また、トランジスタを 個々に用いてもよいし、トランジスタをIC化して用い てもよい。 【0053】図7は、図6の個カコントロール回路PC Cを用いたシステムの一構成例を示す。

それ個々に接続されており、PI/Oのパワーコントロ [0054]図7に示すように、図6の電力コントロー ル回路PCCは、CPUや各1/0コントローラにそれ ールポートから出力されるフルバワーにするためのコン トロール信号AとDCパイアス・レベルにするための信 号Bが2つのトランジスタのペースにそれぞれ入力され て、CPUや各1/0コントローラをフルパワーまたは DCパイアスレベルに設定する。

【0055】パワーマネージメントによってCPUや各 | 人のコントローラの電源をスイッチングする電力コン トロール回路PCCは、BI-CMOS技術によってパ ワーコントロール部内に集積回路化して内蔵させること

[0056]図8は、図6及び図7の具体的構成を示

PCCの菓子Ai, Biとは、パワー・コントロールに 含まれているトランジスク回路部によって接続されてお り、オン電流、オフ電流は端子Ai, Biとパワー・コ [0058] 図8に示すように、端子Ai, Biにはト ランジスタがそれぞれ配置されており、各端子Ai,B iはパワー・コントロールに含まれているBi-CMO 【0057】外部に設けられたパワー・コントロールと ントロールとの間を図8に示す方向にそれぞれ流れる。 S集積回路に接続されている。

る並列入出力 (PI/0)コントローラの一構成例を示 【0059】なお、図中、端子Ai,Biは図6の端子 [0060]図9及び図10は、個別制御部PRを有す A, Bにそれぞれ対応している。

[0061] 図9に示すように、PI/Oコントローラ の個別制御部PRから出力されたマイクロ・オーダは、 PI/Oコントローラを構成する第1及び第2グループ

・コントロール、コマンド・レジスタ、第1~第4ポー

トの各制御ゲートCGに入力される。

[0062]次に、図10のP1/0コントローラの個 引制御部 B R に含まれている各レジスタの動作を説明す [0063] コマンド・レジスタやデータ・レジスタに は、システムの電源投入時 D I / Oの個別制御部 B R が 実行するパワーマネージメントの命令やデータが後述す る表1の各モードを実行処理するためにコード化されて **入力されている。** 【0064】ステイタス・レジスタには、個別虧御部P Rがパワーマネージメントをしているステイタスの情報 が、個別制御部 B R 自体のコントロールによって入力さ トを行なっているか否かの情報、各モードの補別、及び れている。このステイタス情報は、パワーマネージメン 各モードの処理の実行ステイタスがコード化されてい 【0065】コントロール・レジスタには、タイムアウ トの設定値やクロックダウン時の制御値等が入力されて [0066] P I / Oの個別制御部B Rは、各ポートの コントロール、各レジスタの入出力のコントロールに使 われるマイクロオーダを出力する。 更に、PI/0の個

別制御部PRは、後述する酉列入出力(SI/0) ゴン 【0067】P1/Oコントローラは、CPUとバス撥 トローラやリアル・タイム・クロック (RTC) 等のシ ステムを構成するPI/O以外の構成部分の軽弱をコン トロールするマイクロオーダをも出力する。

[0068]図11は、PI/Oの状態の移り変りを示 焼されてブリンタインターフェイス等に用いられ、ブロ グラマブルにパラレルデータの入出力を行う。

上述した図5のシステム全体の状態と同様であるが、時 [0069]図11に示すように、PI/Oの状態は、 間的に見ると異なる。

[0070] 例えば、システムが実行状態にあってもブ

リント出力がないような状態であり、PI/Oは符模状 [0071]次に、システムの中で、各状態におけるP I/0の個別色質的用 B ないこれに 東行する もに 関わない ほにある。

ワーマネージメントの一例を扱1に示す。これはシステ ムのアプリケーションにより異なる。

(五)

0072

数一1 P1/0のパワーマネージメントモード (例)

	イニシャ ラ イ ズ	2	取行	世紀	∆:≝ R
10,1842		0			
クロックストップ		٥		0	
マシーンスチートセーブ				0	
DCバイアスモード		V		0	
916701		0			
パワーオン	0	0	0		
147-117				0	
ディスプレーパワーオフ				0	
バックライトパワーオフ	0		Ø		

* 印は物理的パワーオフでなく協理的パワーオンである。

トップは、PI/O内のクロックを停止させる。マシン Oの電波をDCパイアスレベルにする(P I /Oの個別 [0074] クロックダウンは、PI/O内のクロック **割波数を複数段階股けて、周波数を下げる。クロックス** DCバイアスモードは、電源をコントロールしてPI/ 問御邸 B R が奥行)。タイムアウトは、設定されたタイ マ値になればPI/OはDCパイアスモードに入る(P I /0の個別制御御P R が実行)。ディスプレパワーオ ステートセーブは、PI/O内の状態を一時記憶する。 [0073] ここで、表1の各項目を説明する。

ライトパワーオフは、液晶投示(LCD)のパックライ トの観訳を踏断する等である。 【0075】図12及び図13は、個別関節部PRを有 【0076】図12に示すように、CPUの個別無御部 する中央処理核體(CPU)の一構成例を示す。

PRから出力されたマイクロ・オーダは、CPUを構成 するレジスタ**/**協理演算装置(A L U) 慰御部に入力さ 【0077】次に、図13に示すCPUの個別制御部P Rに含まれている各レジスタ(スタック・レジスタ及び ジェネラル・レジスタを除く)について説明する。

フは、投示の電源をコントロールして遮断する。バック

9

3

[0078]コマンド・レジスタやデータ・レジスタに は、システムの電源投入時、CPUの個別制御部PRが 奥行するパワーマネジメントの命令やデータが表2の各 モードを実行処理するためにコード化されて入力され

令、レジスタ命令、アドレス制御命令、 1 /0制御命令 [0083] 図14は、CPUの状態の移り変りを示し ている。システム全体をコントロールするユニットであ ることから、図5のシステム全体の状態とほとんど同じ 例えば、システムがモデムによる通信待ちのとき、CP

等を入出力してシステムをコントロールする。

うために、固有の命令セット有しており、アドレスパ ス、データバス、コントロールバスを通して、商算命

> Rがパワーマネジメントをしているステイタスの情報が **東行しているか否かの情報、各モードの種別、及び各モ** いる。CPUの個別制御部PRから入力されるマイクロ 【0079】ステイタス・レジスタには、個別制御部P 個別制御邮PR自体のコントロールによって入力されて いる。このステイタス情報は、パワーマネージメントを [0080]コントロール・レジスタには、タイムアウ トの設定値や、クロックダウン時の制御値が入力されて オーダーは、レジスタ・グループの入出力、その他をコ ードの処理の実行スティタスがコード化されている。

Uは待機しているということもある。システムアブリケ

であるが、時間的に見ると変化はやはり異なっている。

【0081】 **記**淑をコントロールするときは、CPUの

ントロールするために使われる。

国別制御部 B R が B I 人のコントローラの個別制御部 B Rに要求を出して構造がコントロールされる。

扱一2 CPUのパワーマネージメントモード(例) [0085] 【0082】CPUは、システム全体のデータ処理を行

	イニシ+ ラ イ ズ	整	其行	羅科	公;選 択
102747		0			
クロックストップ		. 7		0	
マシーンスチートセーブ				0	
DCバイアスモード		٥		0	
914701		0			
パワーオン	0	0	0		
147-17				0	
ディスプレーパワーオフ					
バックライトパワーオフ	0		V		

* 印は物理的パワーオフでなく倫理的パワーオフである。

[0087] クロックダウンは、CPU内のクロック周 波数を複数段階に設定して周波数を下げる。クロックス ープは、CPU内の状態を一時記憶する。DCバイアス て、観察をコントロールしCPUの観察をDCパイアス レベルにする。タイムアウトは、設定されたタイマ値に **ラの個別制御部PRに知らせて、CPUがDCパイアス** モードに入る。ディスプレイパワーオフは、CPUの個 外部からの1/0待ちに相当する)。 マシンステートセ モードは、CPUの個別制御師PRが待避状態に入るこ なれば、CPUの個別街御部PRがPI/Oコントロー トップは、CPU内のクロックを停止させる(例えば、 とを b I /Oコントローラの個別監御部 b R に知らせ [0086] ここで、数2の各項目を説明する。

空動御街 B K が B I 人のコントローラの個別動御街 B K にディスプレイの電源をコントロールすることを要求し 合、CPUの個別制御部PRがPI/0コントローラの 個別制御部 B R にパックライトの軌場をコントロールす て遮断する。パックライトパワーオフは、LCDの場 ることを要求して遮断する。 [0088] 次に、図3に示されている各1/0コント 【0089】これらの1/0コントローラは、一般によ ローラの概略を説明する。

く知られているものであり、ここでは各1/0コントロ **-ラ自体の構成や動作の説明を省略して、個別制御部P** Rに関することについて説明する。なお、フラッシュ・ メモリがファイル・メモリとして使用されるようになれ

8

ばフラッシュ・メモリ・コントローラ (FMC) が1/ 0コントローラとして絶対に必要である。

【0090】まず、SI/Oの個別制御部PRに合まれ ている各レジスタを説明する。 [0091] コマンド・レジスタやデータ・レジスタに は、システムの電源投入時SI/Oの個別問回的PRが 東行するパワーマネージメントの命令やデータが後述す る表3の各モードを実行処理するためにコード化されて 入力されている。

Rがパワーマネージメントをしているステイタスの情報 が、個別制御部PRのコントロールによって入力されて **実行しているか否かの情報、各モードの種別、及び各モ** 【0092】ステイタス・レジスタには、個別制御部P いる。このステイタス情報は、パワーマネージメントを

【0084】次に、システムの中で各状態におけるCP

1.3)

〇動作の起動を待っているときがある (即ち、待機して

ーションによっては、システム外部からのイベンや I /

Jの個別制御部PRが簡異的に実行する物理的パワーマ ネジメントの一例を表2に示す。これは、システムアブ

リケーションによって異なる。

【0098】次に、システムの中で、各状態におけるS I 人のコントローラの個別制御部PRが加度的に実行す

ラは待機中ということもある。

る物理的なパワーマネージメントを一例を扱3に示す。

これは、システムのアプリケーションによっても異な

通信をしていないような伏憩では、S 1 /Oコントロー

【0097】例えば、システムが実行状態であっても、

ると異なる。

トの設定値やクロックダウン時の制御値が入力されてい [0093]コントロール・レジスタには、タイムアウ る。SI/Oの個別版御御PRから入力されるマイクロ オーダは、各通信パッファのコントロール、各レジスタ 一ド処理の実行ステイタスがコード化されている。

数-3 S1/0のパワーマネージメントモード(例) の入出力コントロールに使われる。

[6600]

	イニシャタイス	梅	#X	型生	△ 第 次
2040400		0			
クロックストップ		٥		0	
マシーンステートセーブ				0	
DCバイアスモード		٥		0	
91LTOK.		0	∇		
パワーオン	0	0	0		
パワーオフ				0	
ディスプレーパワーオフ				0	
パックライトパワーオフ	0		٧		
1 日は幼母的パワーオフアなくは国的パワーオフである。	ファバくは母が	パワーオファ	* * 5.		

中は物理的パワーオフでなく福母的パワーオフである。

をSI/Oコントローラの個別制御部PRがPI/Oコ [0101] クロックダウンは、S1/0コントローラ 内のクロック周波数を複数段階に設定して周波数を下げ る。クロックストップは、S1/0コントローラ内のク Oコントローラ内の状態を一時記憶する。DCパイアス モードは、SI/Oコントローラが待避状態に入ること ントローッの個別街街街的 B R S 知らせた 観談をコントロ ールし、SI/Oコントローラの電談をDCパイアス・ レベルにする。タイムアウトは、設定されたタイマ値に なれば、SI/Oコントローラの個別制御部PRがPI ロックを停止させる。マシンステートセーブは、SI/ [0100] ここで、扱3の各項目を説明する。

【0102】通信では、相手と接続できないような通路 (LCD) の場合、SI/Oコントローラの個別耐御問 ライトの軌波をコントロールすることを収択して過期す 中等のように、実行中でもタイムアウトになるときがあ の個別短階間PRなPI/Oコントローッの個別短階間 P R にディスプレの電談をコントロールすることを受求 る。ディスプレイパワーオフは、SI/Oコントローラ PRかり 1 /0コントローラの協定短貨部のRにバック して遮断する。パックライトパワーオフは、液品投示 OコントローラがDCパイアス・モードに入る。

C)コントローラの個空気質的BPRに飲まれる名レジス [0103] 次に、リアル・タイム・クロック (RT

/Oコントローシの個別無御師PRに知らせて、SI/

[0094]また、電波は、SI/Oの個別函別的PR

がP1/Oコントローシの個別短節的PRに熨状を出し [0095] S1/Oコントローラは、CPUのパネと

てコントロールされる。

仮焼されており、主に通信コントロールに用いられ、ア

ログラムによって同様や関歩国際のシリアル通信を行

[0096] SI/Oコントローラの状態は、上近した 図5のシステム全体の状態と周徴であるが、時間的に見

[0104] コマンド・レジスタやデータ・レジスタに は、システムの電源投入時、RTCコントローラの個別 町御郎 D R が実行するパワーマネージメントの命令やデ **一タが後述する表4の各モードを実行処理するためにコ** 一ド化されて入力されている。 タについて説明する。

Rがパワーマネージメントをしているスティタスの情報 が、個別制御部PR自体のコントロールによって入力さ トを実行しているか否かの情報、各モードの権別、及び 【0105】スティタス・レジスタには、個別制御邸P れている。このステイタス情報は、パワーマネージメン 各モードの処理の実行ステイタスがコード化されてい [0106]コントロール・レジスタには、タイムアウ トの実時間設定値やクロックダウン時の制御値等が入力 されている。個別制御部PRからRTCコントローラに 入力されるマイクロオーダは、各レジスタの入出力コン 、ロールに使われる。 **【0107】 島嶽は、RTCコントローラの個別制御町** PRがPI/Oコントローラの個別制御部PRに要求を 出してコントロールされる。

(表4)

フェイス(バス接続しないときもある)されるが、他の | /0コントローラに比べると独立性が高へ、一種の時 【0108】RTCコントローラは、CPUとインター 計なので主に時計として使われる。

【0109】時計は、時刻の初期設定後、システムがど **らな状態にあっても動作しているが、RTCコントロー** ラを構成するとき、時計を除く部分はシステムと同様な 状態の移り変りがある。即ち、時計機能だけのときには このような移り変りはない。

システム全体の状態と同様であるが、時間に見ると変化 は異なる。例えば、システムが実行状態にあっても、実 時間の割込を出さないような状態、即ち時計を除き待機 【0110】RTCコントローラの状態は、図5に示す しているということがある。 [0111] 次に、システムの中で各状態におけるRT Cコントローラの個別制御部PRが簡単的に実行する物 理的なパワーマネージメントの一例を表4に示す。これ はシステムのアプリケーションによっても変る。但し、

時計は常に動作しているものとする。 0112

扱-4 RTCのパワーマネージメントモード(斑)

	ナサ ナ ッ ナ	按	展	敗	D B B B
7486406		0			
クロックストップ		٧		(O)	
マシーンステートセーブ				0	
DCバイアスモード		٥		0	
914771		0			
パワーオン	0	0	0		
パワーオフ				0	
ティスプレーパワーオフ				0	
バックライトパワーオフ	0		٥		

* 印は物理的パワーオフでなく論理的パワーオフである。

[0114] クロックダウンは、時計のクロック(32.76 8KHZ)を除くRTCコントローラ内のクロック周波数を 良数段階に設定して周波数を下げる。 クロックストップ は、時計のクロックを除いて、RTCコントローラ内の クロックを停止させる。マシンスデートセーブは、RT Cコントローラ内の状態を一時記憶する。DCパイアス モードは、RTCコントローラが待避状態に入ることを R T C コントローッの個別処御御P R が B I 人のコント ロールの個型短節部的BRに知らせて、鬼跡をコントロー 【0113】ここで、表4の各項目を説明する。

ば、RTCコントローラの億別問節部PRはP1/0コ ントローラの個別倒倒的PRに知らせて、RTCコント ーオフは、股定された実時間になれば、RTCコントロ ーラの個別制御部PRがPI/0コントローラの個別制 御邸 B R にディスプレイの電談をコントロールすること を要求して遮断する。バックライトオフは、LCDの場 合、設定された実時間になれば、RTCコントローラの ルしてRTCコントローラの転送をDCパイアスレベル ローラはDCパイアスモードに入る。ディスプレイパワ にする。タイム・アウトは、設定された実時間になれ

9

の個的性質的BRAPI/Oコントロールの個的短便的

Rにパックライトの電源をコントロールすることを受求 BD医数的B B A B I 人のコントローシの個型動物的 B

【0115】次に、カウンタタイマコントローラ (CT C)の個別制御御PRに含まれている各レジスタについ

ミック・ランダム・アクセス・メモリ (D-RAM)の

システムのタイミング制御のための装置であり、ダイナ プログラマブルなリフレッシュカウンタとして使用され

【0119】CTCは、CPUバスと接続されており、

PRに要求を出して行なわれる。

[0120] CTCの状態の移り変りを示している。C

TCの状態図は図5のシステム全体の状態と同様である

が、時間的に見ると異なる。

あっても、カウンタはシステムのタイミング制御のため に動作している。これらの状態では、D-RAMのリフ レッシュは、パワーマネージメントのため、クロックダ

ウンして行なわれている場合に相当する。

[0121]例えば、システムが待機状態、待辺状態に

行するパワーマネージメントの命令やデータが扱5の各 【0116】 コマンド・レジスタやデータ・レジスタに は、システムの韓原投入時CTCの個別制御部PRが奥 モードを実行するためにコード化されて入力されてい

が個別制御師 B R 自体のコントロールによって入力され Rがパワーマネージメントをしているステイタスの情報 [0118] コントロール・レジスタには、カウンタ組 【0117】ステイタス・レジスタには、個別劇御町P ている。このステイタス情報は、パワーマネージメント を実行しているか否かの情報、各モードの種別、及び各 やクロックダウン時の制御価等が入力されている。CT モード処理の実行ステイタスがコード化されている。

各レジスタの入出力コントロールや各カウンタの入出力 Cに個別制御邸PRから入力されるマイクロオーダは、

ーマネージメントの一例を扱らに示す。これはシステム

のアブリケーションによって異なる。

[0122]次に、システムの中で、各状態におけるC TCの個別問題的PRが管理的に東行する物理的なパワ

コントロールに使われる。構成コントロールは、CTC サー5 CTCのパワーマネージメントモード(例)

[聚5]

照: 〇 叫 ŝ 0 × 0 0 挖 0 ◁ EK 0 × 0 0 ◁ 趣 + 1 ナル リン ン 0 0 バックライトパワーオフ マシーンステートセーブ ディスプレーパワーオフ DCバイアスモード クロックストップ クロックダウン 91477 パワーオフ パワーギン

* 印は物理的パワーオフでなく情報的パワーオフである。

波数を複数段階に設定してクロック周波数を下げる。D ではDCバイアスモードに入るのに対応しているタイム バイアスモードは、CTCではシステムのタイミング制 御を行うので、設定されない。タイムアウトは、CTC [0125] クロックダウンは、CTC内のクロック周 クロックストップは、D-RAMのリフレッシュカウン タを除いてCTC内のクロックを停止させる。マシンス テートセーブは、CTC内の状態を一時記憶する。DC -RAMのリフレッシュは下げた周波数で行なわれる。 (0124) ここで、 扱5の各項目を説明する。

ローラの個別慰御御PRに熨状を出してディスプレイ観 に入る場合 (例えば、待機時のタイム・アウト) は設定 定されたカウンタ値になれば、CTCの個別制御部PR される。ディスプレイパワーオフは、設定されたカウン 夕倒になればCTCの個別短倒的PRはP1/0コント ・アウトは設定されないが、システムがタイム・アウト が b I /Oコントローラの個別節的的B K に熨状を出し 趴を遮断する。パックライトオフは、LCDの場合、| てパックライトの気波を遮断する。

【0126】挽いて、インタラブト・コントローラ(1

Ξ

NTC)の個別制御御PRに含まれている各レジスタに

[0127] コマンド・レジスタやデータ・レジスタに は、システムの電源投入時INTCが実行するパワーマ ネージメントの命令やデータが後述する表もの各モード を取行するためにコード化されて入力されている。

が個別制御郎PR自体のコントロールによって入力され ている。このステイタス情報は、パワーマネージメント が実行されているか否かの情報、各モードの種別、及び 【0128】ステイタス・レジスタには、個別制御部P Rがパワーマネージメントをしているステイタスの情報 各モードの処理の実行ステイタスがコード化されてい

れる。電源コントロールはINTCの個別制御部PRが [0129] コントロール・レジスタには、クロックダ クロオーダは、各レジスタの入出力コントロールに使わ ウン時の間御笛やタイム・アウト時の間御値が入力され ている。INTCの個別制御部PRから入力されるマイ PI/Oコントローラの個別制御部PRに要求を出して

り、プログラマブルな割込コントロールが可能なディバ イスであり、優先原位が付けられた割込入力倡号を処理 【0130】INTCは、CPUとバス接続されてお して、その割込要求をCPUに知らせる。 [0131] INTCの状態の移り変りは、図5のシス テム全体の状態と同様であるが、時間的に見ると変化は 【0132】例えば、システムが実行状態であっても1 NTCは待機中ということもあり、システムの創込があ 【0133】スペシャル・キーSKによる創込イベント は、ノン・マスカブルな割込であり上述したように種々 って動作するから割込がない限り待機している。

【0134】次に、システムの中で、各状態における1 N.T.Cの個別制御御P.R.が論理的に実行する物理的なパ ワーマネージメントの一例を扱6に示す。これは、シス テムのアプリケーションによって異なる。 の割込がある。

我~6 INTCのパワーマネージメントモード (例)

		Q		0	バックライトパワーオフ
	0				アイスプレーパワーオフ
	0				
		0	0	0	
		٧	×		タイムアカト
	0		٥		DCバイアスモード
	0	0			マシーンステートセーブ
	0		٥		10012101
			0		1017892
△:福 첫	陶步	寒行	特機	イニシャライズ	

* 印は物理的パワーオフでなく協理的パワーオフである。

[0137] クロックダウンは、INTC内のロック周 波散を複数段階に設定して周波数を下げる。クロックス トップは、INTC内のクロックを停止させる。マシン とをCPUの個別制御部PRに知らせるが、もし待避状 都に入るイベントであれば、INTCの個別無御部PR がPI/Oコントローラの個別制御部PRに知らせてD Cバイアスモードに入る。そうでなければCPUが割込 み処理を行う。タイムアウトは、INT Cはタイマ機能 をもたないが、システムのタイムアウトによる割込を受 DCパイアスモードは、システムの中で創込があったこ ステートセーブは、INTC内の状態を一時記憶する。 [0136] ここで、表もの各項目を説明する。

Oコントローシの圇兇勁的部PRに対らせて、INTC は、INTCの個別制御御的RAPI/0コントローラ を要求して遮断する。バックライトパワーオフは、LC がDCパイアスモードに入る。ディスプレイパワーオフ の個別制御部PRに表示の観測をコントロールすること Dの場合、INTCの個別制御部PRがPI/0コント ローラの個別制御部 B.R.C.バックライトの亀嶽をコント るイベントであれば I NT Cの個別制御部PRがP I / ロールすることを竪水して遮断する。

【0138】次に、ダイレクト・メモリ・アクセス・コ ントローラ (DMAC)の個別劇御部PRに含まれてい 5名レジスタについて説明する。

[0139] コマンド・レジスタやデータ・レジスタに

付けてCPUの個別街御部PRに知らせ、特選状態に入

一ルすることを要求して遮断する。パックライトパワー

(E)

り、CPUを介さないで、各メモリや各1/0コントロ

[0140] ステイタス・レジスタには、個別制御部P Rがパワーマネージメントをしているステイタス情報が いる。このステイタス情報は、パワーマネージメントを **実行しているか否かの情報、各モードの種別、及び各モ** マネージメントの命令やゲータが後述する数7の名モー は、システムの亀湖投入時、DMACが実行するパワー 個別制御部 B R 自体のコントロールによって入力されて ドを実行するためにコード化されて入力されている。 一ド処理の実行スティタスがコード化されている。

【0141】コントロール・レジスタには、クロックダ 町PRから入力されるマイクロオーダは、各レジスタや レジスタグループの入出力をコントロールするために使 われる。電源コントロールは、DMACの個別制御部P RがPI/Oコントローラの個兇世御郎 Bに 駅状を出 ケン時の衝倒値が入力されている。DMACの個別短倒

を直接アクセスできるコントローラであり、メモリ転送 [0143] DMACの状態の移り敷りは、図5のシス 例えば、システムが実行状態であっても、DMACは符 **樹中ということもある。システムにDMAの熨状があっ** [0144]次に、システムの中で各状態におけるDM -ラ(例えば、外部接続されているフラッシュメモリ) A Cの個別制的部P R が簡異的に実行する物理的なパワ **ーマネージメントの一例を扱りに示す。これは、システ** テム全体の状態と同様であるが時間的に見ると異なる。 て、メモリ転送や1/0データの転送が行なわれるの で、DMA要求がない限り待機していることになる。 や外部記憶校覧とのリード/ウィトに用いられる。 ムアブリケーションによって異なる。

(0145) [表7]

【0142】DMACは、CPUとバス接続されてお 数-7 DMACのパワーマネージメントモード(例)

	イニシャライズ	ŧ.	₹	聯	∆:፡፡፡ ቋ
1.446.04		٥			
20,221,7		0		0	
マシーンステートセーブ				0	
DCバイアスモード		٧		0	
91479F		×			
パワーオン	0	0	0		
464-64				0	
ディスプレーパワーオフ				0	
バックライトパワーオフ	0		٥		
されずは十二日、大田の一十年日十二日、大田本の日、	ATT 40 / 46 TH	1	,		

* 印は物理的パワーオフでなく倫理的パワーオフである。

ことを、個別制御部PRがPI/Oコントローラの個別 【0147】クロックダウンは、DMAC内のクロック 周波数を複数段階に設定して周波数を下げる。クロック ストップは、DMAC内のクロックを停止させる。マシ る。DCバイアスモードは、DMACが待避状態に入る **西御郎PRに知らせた亀嶽をコントロールし、DMAC** DMACはタイマ機能をもたないが、システムの中でタ イマによる特徴イベントがあれば、DMACの個別制御 **8PRがPI/Oコントローシの個型旋倒修PRに包**ろ イパワーオフは、DMACの個別航御部PRがPI/0 コントローラの個別制御御PRに投示の亀級をコントロ せてDMA CはD Cパイアスモードに入る。ディスプレ の電源をDCバイアスモードにする。タイムアウトは、 ンステートセーブは、DMAC内の状態を一時記憶す [0146] ここで、数7の各項目を説明する。

I /Oコントローラの個別短節簡P R にパックライトの オフは、LCDの場合、DMACの個別制御部PRがP 問題をコントロールすることを取状した過節する。

【0148】次に、フラッシュ・メモリ・コントローラ (FMC)の個別関御部PRに含まれているの各レジス タについて説明する。

【0149】FMCがコントロールするフラッシュメモ **動力が消費もなく、艦級を供給しなくても記憶されてい** るデータは保持されるので、メモリに対しては、いつで もパワーを発断することができる(非動作時は物限的な 題断ができる)。後述する玖8の各モードに加えて、フ ラッシュ・メモリ・パワーオフのモードがある。 このコ ントロールは、FMCの個別倒御部PRが非動作時であ ることを、ステイタス・レジスタによって知ることがで きるので、FMCの個別短節部PRがP1/0コントロ りは、動作中は、電力消費があっても、非動作時は全く

-ラの個別制御部 BRに知らせて外部記憶装置(エクス 【0150】コマンド・レジスタやデータ・レジスタに ネジメントの命令やデータが数8の各モードを実行する は、システムの電源投入時、FMCが奥行するパワーマ ターナル・メモリ)の観測を適断することができる。

パイト単位の転送やワード単位の他、プロック単位(例 えば5128) の転送を行い、外部メモリに対してデータ・ また、外部メモリをファイルとして扱うファイルコント

【0154】FMCは、CPUとバス接続されており、

コントロールのリードやライト・コントロールを行う。

[0151] ステイタス・レジスタには、個別制御部P Rがパワーマネージメントをしているステイタス情報が 個別制御部PR自体のコントロールによって入力されて いる。このステイタス情報は、パワーマネジメントを実 **行しているか否かの情報、各モードの種別、及び各モー** F処理の実行ステイタスがコード化されている。

ためにコード化されて入力されている。

【0155】FMCの状態の移り変りは、図5のシステ なる。例えば、システムが実行状態であっても、FMC は待機中ということもある。システムが外部メモリに対 して、リード要求やライト要求を出して、外部メモリか

ム全体の状態と同様であるが、時間的に見ると変化は異

【0152】コントロール・レジスタには、クロックダ ウン時の制御値が入力されている。FMCの個別制御部 PRから入力されるマイクロオーダーは、FMCの各レ ジスタの入出力をコントロールするために使われる。

【0156】次に、システムの中で、各状態におけるF

らデータをリードしたり、外部メモリヘライトするの

で、リードやライト要求がない限り待機状態になる。

M Cの個別制御部 B R が簡理的に実行する物理的なパワ ーマネージメントの一例を投8に示す。これは、システ

> **【0153】鬼獣のコントロールはFMCの個別制御**問 PRがPI/Oコントローラの個別制御部PRに要求を

出して行なわれる。

(0157)

表-8 FMCのパワーマネージメントモード(例)

ムアブリケーションによって異なる。

	イニシャライズ	£	19 英	難	△:編 技
1046406		۷			
クロックストップ		0		0	
マシーンステートセーブ				0	
DCバイアスモード		δ		0	
914751		×			
パワーオン	0	0	0		
パワーオフ				0	
ディスプレーパワーオフ		•		0	
パックライトパワーオフ	0		٧		
・ 日は名は日にローチュセについる日をいっ	VE 04 / 124 L	4 600	2 4 7		

1 印は物理的パワーオフでなく論理的パワーオフである。

[0159] クロックダウンは、FMC内のクロック周 ステートセーブは、FMC内の状態を一時記憶する。D 彼数を複数段階に設定して、周波数を下げる。クロック ストップは、FMC内のクロックを停止させる。マシン 協究慰御郎 B R が B I 人Oコントローラの個別制御郎 B Rに知らせた、鶴嶽をコントロールし、FMCの鶴嶽を DCバイアスモードにする。タイムアウトは、FMCで | /Oコントローッの個空型御筒 B K I 対心 サトFMC 5 待遊イベントがあれば、FMCの個別制御部PRがP かDCバイアスモードに入る。ディスプレイバワーオフ はタイマ機能をもたないが、システムの中でタイマによ Cパイアスモードは、FMCが待避状態に入ることを、 [0158] ここで、殺8の各項目を説明する。

個別制御部PRに表示の観測をコントロールすることを 要求して遮断する。バックライトパワーオフは、LCD の場合、FMCの個別制御部PRがPI/Oコントロー ラの個別制御部 B R にパックライトの観測をコントロー ルすることを要求して遮断する。

(VDC)の個別制御節PRに含まれている各レジスタ [0160]続いて、ピテオ・データ・コントローラ についた観覧する。 [0161] コマンド・レジスタやデータ・レジスタに は、電弧投入時、VDCが実行するパワーマネジメント の命令やデータが扱りの各モードを実行するためにコー ド化されて入力されている。

【0162】ステイタス・レジスタには、個別制御邸P Rがパワーマネージメントをしているステイタス情報

は、FMCの個別制御部PRがPI/Oコントローラの

<u>=</u>

でな疑由コリフレッシュ・ラム(発収S-RAM)を用

钊御郎や表示アドレス制御邸、ヒデオデータ制御部等の が、個別制御部PR自体のコントロールによって入力さ れている。このステイタス情報は、パワーマネジメント を実行しているか否かの情報、各モードの種別、及び各 [0163] コントロール・レジスタには、クロックタ ウン時の慰御質が入力されている。 ND Cの個別慰御問 PRから入力されるマイクロオーダーは、猫画アドレス モード処理の実行ステイタスがコード化されている。 入出力(1/0)コントロールに使われる。

[0164] 鳥頭のコントロールは、NDCの個別制御 部PRがPI/Oコントローラの個別短節部PRに取状 を出して行なわれる。

描画タイミングの遺訳、直線や円弧、四辺形、文字等の 描画やスクロール、自動カーソル等ビデオデータのコン 【0165】VDCは、CPUとバス接続されており、 トロールを行うコントローラである。

のために接続されるが、V-RAMのビットデータをコ (以下、V-RAMと称する) がピディオデータの投示 ントロールするものである。このVーRAMには、D-R AMが使われるときもあるので、D - R AMのリフレ [0166] 更に、ローカルバスには、ビデオ・ラム

[0168] VDCは、CRTとインターフェイスされ るか、またはリキッド・クリスタル・ディスプレイ・コ ントローラ (以下、LCDCと称する) としても使用さ れるので、LCD扱示用データインタフェイスコンバー タを含んだコントローラになるが、ビディオデータのコ いる。例えば、システムが実行状態にあっても、VDC は待機しているということもある。システムがデータ処 ーマネジメントの一例を扱りに示す。これは、システム れる。この場合、LCDフラットディスプレイに接続さ 【0169】VDCの状態の移り変りは、図5のシステ ム全体の状態と同様であるが、時間的に見ると異なって 理(作扱循算やファイルアクセス等)中であっても、V DCは、非動作でよく、データ処理の終了後にVDCは [0170]次に、システムの中で、各状態におけるV D Cの個別制御部P R が福理的に実行する物理的なパワ ントロール機能は岡一であり、VDCのパワーマネジメ 動作を始めればよいので、待機していることがある。 ントの説明で充分であるので説明を省略する。 アブリケーションによって異なる。

[0171]

	イニシャライス	聯段	班 符	理例	聚: 〇
10,1940,		V			
クロックストップ		×		(0)	
マシーンステートセーブ				0	
DCパイアスモード		٥		0	
91470r		×			
パワーオン	0	0	0		
147-47				0	
ディスプレーパワーオフ					
15,994 1,89-47	0		٥		

【0173】クロックダウンは、VDC内のクロック周 [0172] ここで、喪9の各項目を説明する。 彼数を複数段階に設定して周波数を下げる。

[0174]クロックストップは、VDC内のクロック を停止させる。 個し、V-RAMにD-RAMが使われ ているときはこのモードはない。S-RAMや疑凶S-RAMが使用されているときはクロックを停止させるこ

【0175】マシンステートセーブは、VDC内の状態 を一時記憶する。 とができる。

• 印は物理的パワーオフでなく協理的パワーオフである。 こで、扱りの各項目を説明する。 【0176】DCパイアスモードは、VDCの個別制御 **邸PRが待遊状態に入ることをPI/Oコントローラの** 個別態質的 B K に包のおた 観談をレントロールし、 N D Cの真似かりC、イアスフスルにする。

があれば、VDCの個別哲節的PRがPI/0コントロ [0177] タイムアウトは、VDCではタイマ機能を もたないが、システムの中でタイマによる待遇イベント −ラの個別制御部PRに知らせてNDCがDCパイアス [0178] ディスプレイパワーオフは、NDCの個別

慰労的 B なり I /Oコントローラの個別制御制 B K に 投示の電源をコントロールすることを要求して遮断す

合、NDCの個別制御部PRがPI/0コントローラの 個別制御郎 B R にパックライトの観視をコントロールす [0179] バックライトパワーオフは、LCDの場 ることを要求して遮断する。

[0181] コマンド・レジスタやデータ・レジスタに は、システムの電源投入時、KBCの個別制御部PRが 東行するパワーマネージメントの命令やデータが表10 【0180】次に、個別制御餌PRを有するキーポード コントローチ (KBC (SI/OII)) の偏密態質 部PRに含まれている各レジスタについて説明する。

Rがパワーマネージメントをしているステイタス情報が いる。このステイタス情報は、パワーマネージメントを **奥行しているか否かの情報や各モードの種別や各モード** の各モードを実行処理するためにコード化されて入力さ 【0182】ステイタス・レジスタには、個別制御邸P 国別制御部 B B 体のコントロールによって入力されて

[0183]コントロール・レジスタには、クロックダ ウン時の制御値が入力されている。KBCに入力される マイクロオーダは、レジスタグループの入出力やその他 の処理の実行スティタスがコード化されている。 をコントロールするために使われる。

【0184】 **虹**瀬をコントロールするときは、KBCの 図別制御部 B R が S I ∕ O(II)の個別制御部 B R を通し て b I /Oコントローラの個別制御部 b R に要求を出し て自然がコントロールされる。

シリアルにインターフェイスし、システムのキー入力を [0185] SI/0(II)は、年にKBCに回避して、

因らせ、キー入力処理を行う。また、SI/0(II)の個 数-10 KBC (SI/01)のMon-ロギージメントモード (例)

	イニシャライス	多	東行	製象	△:週 板
70-2402		0		٥	
クロックストップ		۷		0	
マシーンステートセーブ				0	
DC/4778-F		×		×	
914771		×			
パワーオン	0	0	0		
パワーオフ				×	
ディスプレーパワーオフ				0	
パックライトパワーオフ	0				

^{*} 印は物理的パワーオフでなく疑風的パワーオフである。

[0191] ここで、喪10の各項目を説明する。

欧姫御郎 B R は、K B Cの個監監御館 B R のもとたコソ トロールされて表10の各モードを実行する。

[0186] KBCは、図3に示すようにパスと接続さ れないで、独立している非同期に入力されるキー・ポー ドの個号をシステムに同期させ、文字/記号、数値キー **等コード化するコントローラであり、マイクロコンピュ** ータ・ユニットが使われることが多い。これは、ROM やRAM、I/Oポートを内蔵している。図3のシステ ム例では、KBCにもう一方のS1/O(II)が撥続され ているが、KBCと阿一の状態の移り変りをする。KB Cからのシリアル個号をシステムとシリアルにインター フェイスする。

ムもあるので、このような場合はDCバイアスモードが

によっては待機状態でのみキー入力を受け付けるシステ **投定できる。タイムアウトは、KBCでは、このモード**

を設定しない。なぜならば、非同期入力であるためにキ

/Oコントローラの個別制御餌PRがタイムアウトの要

し、一定時間(寅用的には分単位)経過すれば、他の[状を出してタイムアウトになることがある。 ディスプレ

一入力があったことを処理しなければならない。しか

イパワーオフは、KBCの個弦短節的PRが、P1/0 コントローラの個別倒御師 B R に表示の観訳をコントロ オフは、LCDの場合、KBCの個別制御部PRが、P

ールすることを竪吹して遮断する。パックライトパワー

けなければならない。 しかしシステムアブリケーション

待機している時間がほとんどである。連続的なキー入力 のときには、比較的多くKBCはシステムをアクセスす 【0187】KBCの状態の移り変りは、図5のシステ ム全体の状態と同じであるが、他の1/0コントローラ る。例えば、システムが実行状態にあっても、KBCは を含むシステムとは、時間的に見ると変化は全く異な

【0188】しかし、割込優先度の高いキー入力があれ ば、システムは常にこのキー入力を受付け(但し、リア ル・タイム・クロックを除く)、特徴イベントであれば 符題へ、復帰イベントであれば復帰へとシステムの状態

I/Oコントローラの個別制御部PRにバックライトの

義敵をコントロールすることを要求して越断する。 [0193]次に、各メモリについて説明する。 [0194]システムのメインメモリにはD-RAMが 主として使用されるが、S – R A Mはその低消費電力性 やスタティックなデータ記憶ができることからシステム 【0195】D-RAMをメインメモリとして使用する システムでは、その特性上、一定時間内のリフレッシュ

【0189】次に、システムの中で各状態におけるKB Cの個別制御部PRが簡単的に実行する物理的パワーマ ネジメントの一例を表10に示す。これは、システムア ブリケーションによって異なる。SI/0(II)もKBC

と同じである。

01901 (表10)

Cメモリカードとしての使用に軽点がある。メインメ モリで説明したことから、S-RAMによるI C メモリ /Oコントロールの個別型的的PRが軌段コントロール カードは、DCパイアスモードをもつことができ、P1 する。疑似S-RAMの場合は、セルフ・リフレッシュ 数核、脱類して使用されるので、D-RAMは英用上、 をもっているので乾燥してもフルパワーにしておけば、 データ保持ができるがDCバイアスモードは設定しな い。D-RAMと同様に実用的にも難点がある。

スモードは設定しない。なぜならば、キー入力は非同期

入力であり、キー入力があったことをシステムに知らせ なければならず、特にスペツャル・キーSKを称に受付 [0200] 大規模な大規模集構回路 (LSI) 化技術 ン技術により、システムが製得された場合、システムの システムはシリコンの上に集削されるが、上述した本免 CPUや個別の1/Oコントローシ、その他のメモリの テムの動作や大規模しSIの安定性や量函性を確保する が進み、システムが1つのチップに集積された場合にお いても、CPUや他のI/Oコントローラは、このパワ もっと進んでウエファー・スケール・インテグレーショ **亀原を慰倒できるので、シリコン上の消費権力をシリコ** ン全体に分散させることができる。即ち、安定したシス -マネージメントシステムによって、CPUや個別の1 [0201] 大規模LSI化技術によって、何来、図3 /01/ソトローラの鳥談を慰留するように禁収がきる。 のようなシステムが1つのチップに集積された場合や、 低消費電力化がますます重要になってくる。このとき、 **思の分散パワー・セネージメント・システムによって、** ことがたきる。

ができる。このことは、低消費能力化を攻現させると共 [0202]また、半導体の周波数は、駅動電圧に依存 げるという特性を有しており、駆動電圧を高くすると助 作周波数を高くすることができ、駅動動圧を低くすると 動作周波数を低くすることができる。上述した本発明の いように制御することが可能になる。即ち、システムの トロールして駆動電圧をスイッチングしているので、フ ル・パワー・モードとDCバイアス・モードをもつこと ド降を制御してシステム全体の処理強度を落すことがな 動作中は処理選股を上げ、非動作中は処理強度を下げる **分散パワー・マネージメント・システムは、転談をコン** に、システムの動作、非動作によって処理遠度の上界と 短倒も凹続になる。

[0203] 図15は、図7に示されたパワー・コント ロールのブロック図に対応したパワー慰御の信号波形と **慰御信号A、Bによってスイッチングされる観駁の勧き** を示すタイミング・チャートである。

> れる部分である。大きくは、ROMとRAMである。M -RAMも、EP-ROMもE² PROMその他のRO

ードは設定しない。

【0198】ROMは、メモリの鳥類を説断してもデー タを保持するのでDCバイアスモードが存在し物理的に

Mも全てROMとして扱う。

ラが待避状態に入ったとき、PI/OのPRが、S-R AM(メインメモリ)の観談をコントロールして、D C パイアスモードにする。疑似SーRAMは、セルフ・リ フレッシュなので、D-RAMと同様にDCパイアイモ [0197] I Cメモリカードは、多様なメモリが使わ

b. CTCによるクロックダウンのパワーマネジメント **【0196】他方、S-RAMは、その特性によってス** タティックなデータ保持ができることからDCバイアイ モードをもつことができる。 即ち、 P I /O コントロー

を常に伴うことからDCバイアスモードは存在しない

現権に応じて多く使用され得る。

[0204] 酉ち、図15は、外傷のパワー・コントロ せる)を通してCPUやI/Oコントローラのそれぞれ の亀部をコントロールする制御信号A,Bの波形例を示 **-ラ쁑(簪も、P1/0のパレー・ロントローラ・ボー** トからの人出力信号によって、制御信号A、Bを合成さ

[0205]なお、制御信号A, Bの波形はCPUやそ

R AM、疑似S-RAMがあるが、I Cメモリカードは

【0199】他方、RAMの場合は、D-RAM、S-

もパワーオフができるのでパワーオフモードが存在す

(16)

波数を複数段階に設定してクロック周波数を下げる。ク

ロックストップは、KBC内のクロックを停止させる。 マシンステートセーブは、KBC内の伏憩を一時記憶さ せる。DCバイアスモードは、KBCでは、DCバスア

【0192】クロックダウンは、KBC内のクロック周

特] 平5-210433

れぞれの1/0コントローラの機能的な特性やシステム

[0206] 図16は、本発明のパワー・コントロール の第2実施例の構成を示すプロック図である。

【0207】図16の個別制御部PRは、個別制御部P R自体でも電源をコントロールできるように構成されて 【0208】図16の個別側倒部PRは、図1に示す本 発明のパワー・コントロールの第1実施例に対して、パ ワー・コントロールするためのロジック・ブロックが追

- ト16、及び制御ゲート16に接続されたフリップ・フロ 【0209】追加されたロジック・ブロックは、制御ゲ ップ!7によって構成されている。

【0210】上記ロジック・プロックでは、剣御ゲート 16はマイクロ・オーダ及びデータ・レジスタの出力ピッ トであるパワー・コントロール・ピットの出力信号をそ れぞれ入力し、フリップ・フロップ17は制御ゲート16の 出力に基づいてオン状態またはオフ状態を形成して、こ のオン状態またはオフ状態に基づいてPCCへの入力値 号Ai, Biを出力する。

[0211] 図17は、このときのパワー制御の個号波 形である制御慣号A,制御信号Bを示すタイミング・チ ヤートである。図17は、更に、制御個号A、制御個号 [0212] 慰御信号Aは、個別制御部PR自体でコン Bによって制御される電源の動きも示している。

トロールされるので、スタンパイ・モードに入るときは 見捌が-V. ccにスイッチングされるため、信号レベル

は図17に示すようになる。

【0213】また、制御儒号Bは、フル・パワー・モー ドでは電源が一Vccにスイッチングされるため、図14

【0214】即ち、スタンパイ・モードにする倡号が制 に示すようになる。

号A, 制御眉号Bの波形は、CPUやそれぞれの1/0 御阎号Bであり、フル・パワー・モードにする倡号が制 [0215] 図18は、個別制御部PR自体でパワー制 即を行うときのブロック図を示している。なお、制御僧 コントローラの機能的な特性やシステムによって異な 御個号Aである。

[0216] 図19は、図18のCPUに関する構成を 詳細に示す図である。

部PRと、個別制御部PRに接続されていると共にPC スタ回路部とPCCの端子Ai, Biとの間を流れを示 【0217】図19に示すように、CPUは、個別制御 る。また、図19には、オン電流、オフ電流はトランジ Cにも接続されているトランジスク回路部を備えてい している。

【0218】図19に示すように、CPUや他の1/0 コントローラにはBi-CMOSが含まれており、Bi - CMOSはPCCの各端子Ai, Biに接続されてい ると共に、CPUや他のI/Oコントローラに含まれて いる個別制御部PRに接続されている。

【0219】表11は、図1のコマンド・レジスタによ 5パワー・マネージメント命令を示す。

8

٢ 0 0 × 0 0 0 0 0 0 0 0 **P.1./O. の面空気管器 P.R.を製作凹張なべワー・セネージメント命令** CR2@2K+18 CR2 (2) CR2の4ビット目 CR2 (4) DCパイプス・モード CR2の5ピット目 CR2 (5) CR206K+18 CR2 (6) CR2 (1) CR208 87 + 18 CR2 (8) CR1018718 CR1 (1) CR1@2K+ +B CR1 (2) CR1038718 CR1 (3) CR201 K+ 18 CR2 (1) CR2Ø3E7 FB CR2 (3) 女堂 CR2078+18 命令の数型 カロック・コントロール 朱定章 (定義可能) スピード・ダウン 140-147 147-147 104.400 914-TOL 189-147 スピード・フル 命令の名称 180-187 ディスプレイ・ 13-25-41-

[0221]表12は、表11に示した図1のコマンド ・レジスタの構成内容を示す。

[0222] [表12]

×

CR104 E7 18 CR1 (4)

× ×

CRIOSE* +B CRI (5)

CR106E7FE CR1 (6)

朱定義 (定義可能)

×

CR1072+18 CR1 (7)

×

CR1082718 CR1 (8)

(13)

コマンド・レジスタCR (8ビット×2本)

(パワー・オン時に予め、プログラムで命令をセットしておく)

CR2	CR1
1	1
2	2
3	3
4	4
വ	ഹ
9	9
7	7
∞	∞

[0223] 表13は、図1のステイタス・レジスタの

構成内容を示す。

2 H Z	ES.	Ş	ž	SWI 11	2	E E	S# 2
SHI 1	SHI 6	SHI S	₹	SKI 3	SWI 2	135	E E

SH3, SH2, SH1:システムの伏憩を示す

: マスター (主) とスレーブ (従) のスイッチ・フラッグ

KMI (3Kキー人力):Hon Marbable Interrupt (マスクできない割込)

SWI | ~SWI | | :System Nasagnoent Interrept (システム管理による創込) [0226]

[0225] 妻14は、妻13に示した状態を殺すSM

3, SM2, 及USM1の具体的な内容を示す。

(表14]

S 1 / 0 (1) ØSKI

SMI

P 1 / 005KI

- FES

SW3	SNZ	SM 1	各デバイスの状態
0	0	0	イニシャライズ状態
0	0	н	待機状態
	-	0	待避状態
 0	-1		実行状態
-	0	0	
-	0	-	(名) (本)
-		0	木圧乾(圧乾引脂)
-	-	-	

1~SM11のスイッチ・ロジックを示す。 【0227】 数15は、数13に示したN/S, NMI, SM

(20)

[0228]

RとN/0のスイッチ・ロジック [表15] 種類

V D C OSHI

E

FMCOSKI

惠

SI/O (II) OSKI

SKI 3

DMACOSKI

SKI ,

INTCOSKI

돐

CTCOSKI

~MS

RTCOSMI

SHI

【0231】また、喪17及び喪18は、コントロール・レジスタのクロック・ダウン値及びタイム・アウト値

それぞれの値は、プログラムでセットする。

CLR2 (クロック・ダウン値)

2 1

8 7

【数16】 コントロール・レジスタCLR(8ビット×2本)

[0230]

[0229] 数16は、図1のコントロール・レジスタ

の構成内容を示す。

C P U OSKI

SMI 11

K B COSHI

=

3

CLR1 (タイム・アウト値)

[0232] [表17]

をそれぞれ示す。

特開平5-210433

(21)

[表18])
クロック・ストップ	CLR2の8ビット目がセット
スピード・フル	GLR2の7ピット目がセット。
スピード・ダウン	こしR2の6ピット目がセット
1/20部	CLR2の5ピット目がセット
1/16億	CLR2の4ビット目がセット
1/1部	CLR2の3ビット目がセット
1/8倍	CLR2の2ビット目がセット
1/4倍	CLR2の1ビット目がセット
クロック・ダウン値	

[02.33]

	タイム・アウト値
CLR1の1ビット目がセット	4倍
CLR1の2ピット目がセット	8倍
CLR1の3ビット目がセット	12倍
CLR1の4ビット目がセット	别91
CLR1の5ビット目がセット	20倍
CLR1の6ビット目がセット	3.(倍
CLR1の7ビット目がセット	28倍
CLR1の8ピット目がセット	32倍

【0234】表19及び表20は、図1のデータ・レジ スタの構成内容及び具体的な命令内容をそれぞれ示す。

(22)

[235] (表19)データ・レジスタDR (8ビット×2本)(各ビットのフラッグのセットはプログラムで行い、このデータをパワー・コントロールポートに出力する。)

DR2	DR1
~	1
. 2	2
က	က
. 4	4
. به	5
်ဖ	9
_	7
<u>∞</u>	_ ∞

[0236]

[聚20]

命令の名称	命令の比明	
VDCのパワー・コントロール	DRIOIETHE	
FMC0/473210-A	DR102E7 FB	
81/0 (1) 0 	DR1036718	
DMAC@1493210-11	DR1048, FB	
1. NTCO145-137 10-11	DR105E7 FE	871470
CTCOパワー・コントロール	DR106E, 1B	ハンニンドル -ルフラッグ
RTCのパワー・コントロール	DR107E, FB	
P1/00/4937/19-11	DR1084,18	-
の(1)の/1s	DR201K, 18	
XBC0.4737}a-A	DR202 Ky 18	
CPUOA7737ha-M	DR2034,18	
ディスプレイ・パワー・オフ	DR204ビ, 18	
パックライト・パワー・オフ	DR205K, 18	パワーコントロー
187-147	DR 206 K, 18	- 小足気の語はフラップ
パケー・オン	DR207ビット目	
ディスプレイ/パックライト パワー・オン	DR208K118	

(24

(【0237】数11~数20は、多様なパワー・マネー ジメント命令がある中でその一腕であり、また各レジス

タの構成内容も多様である中での一例である。

【0238】次に、上記表11~妻20、及び図20~図22のフローチャートをそれぞれ参照して、図1に示すP1/0の個別倒御御BRのパワー・マネージメントの動作がシステムアブリケーションによって種々ある中で、その一两を説明する。

シャライズ) して (ステップSI)、図1のP1/0の ポート~類4ポート、第1グループ・コントロール、及 を表す) にセットして (ステップS2)、PI/0の個 S3)、イニシャライズが終了したか否かを判定し(ス った (YES) と判定された場合には、"マスクできな い割込" (Non-Maskable Interrupt, 以下、NMIと称 (ステップS7)、"侍選状態" (表14参照)を形成 【0239】まず、図9に示す並列入出力コントローラ び第2 グループ・コントロールをそれぞれ初期化 (イニ 個別制御部PRを構成しているコマンド・レジスタCR をF306にセットすると共に、ステイタス・レジスタ SR、コントロール・レジスタCLR、及びデータ・レ **四種御飯 B R をイニシャライズ状態に設定し(ステップ** テップS4)、上記ステップS4でイニシャライズが終 (ステップS5)、上記ステップS5でSKキーの割込 がない(NO)と判定された場合には、上記ステップS 返して実行し、上記ステップS5でSKキーの創込があ する)を1にセットすると共に、マスター/スレーブの (PI/O) を構成しているコマンド・レジスタ、第1 アしていない (NO) と判定された場合には、スペシャ 3に戻ってSKキーの割込があるまでルーティンを繰り 0, SM2を1, 及びSM1を0にそれぞれセットして ジスタDRをそれぞれ0000(各数値はhexiadecimal フラッグ (以下、M/Sと称する) も回時に1にセット ル・キー(SKキー)の割込があったか否かを判定し し(ステップS6)、システムの状態を表すSM3を し (ステップS8) 、処理1を実行する (ステップS

【0240】 ここで、図23を参照して、処理1の内容を説明する。

(0241) 図23に示すように、処理1では、コマンド・レジスタCR2の2番目のピットCR2 (2) か1であるか否か (卸ちクロックをコントロールするか否か) を判定し (ステップS91)、上記ステップS91でコマンド・レジスタCR2 (2) が1である (YES) (回ちクロックをコントロールする) と判定された場合には、コントロール・レジスタCLR2の2番目のピットCLR2 (2)を1にセットして (ステップS92)、クロック・ダウン酪を1/8倍 (表17参照)にセットして処理を終了する (ステップS93)。また、上記ステップS91でコマンド・レジスタCR2 (2)

(0242)図20に戻って、処理1を終了したならば、再び5kキーの創込があったか百かを判定し(ステップ510)、上記ステップ510でSkキーの創込がない(NO)と判定された場合には、上記ステップ510でSkキーの創込があった(YES)と判定された場合には、NMI及びM/Sをそれぞれのにリセットし(ステップ511)、SM3、SM2、及びSM1を0に、コントロール・レジスタCLRを0000にそれぞれリセットして(ステップ512)、上記ステップS3に戻る。

[0243] 続いて、図20及び図21に示すように、上記ステップS4でイニシャライズが終了した(YES)と判定された場合には、SM3を0, SM2を0, SM1を1にそれぞれセットして(ステップS13)、「特徴状態」が形成され(ステップS14)、SKキーの割込があったが石かを判定し(ステップS15)、上と判定された場合には、NM1を1にセットすると共に、M/Sも同時に1にセットし(ステップS16)、SM3をい、SM3を0、SM2を1,及びSM1を0にそれぞれです。トして(ステップS17)、"特選状態"(表14参照)を形成し(ステップS18)、処理2を実行する(ステップS18)、処理2を実行する「ステップS18)、処理2を実行する「ステップS18)、処理2を実行する「ステップS18)、処理2を実行する「ステップS18)、処理2を実行する

[0244] ここで、図24を参照して、処理2の内容

| 0245| 図24に示すように、処理2では、コマンド・レジスタCR2の6番目のヒットCR2 (6) が1であるか否か (目ち、パワーをオフするか否か) を判定し (ステップS191)、上記ステップS191でコマンド・レジスタCR2 (6) が1である (YES) (目ちパワーをオフする) と判定された場合には、データ・レジスタDR2の4番目のヒットDR2 (4) を1にセットし (ステップS192)、ディスプレイ・パワーをオフ (表20参照)して (ステップS193)、データ・レジスタDR2の5番目のヒットDR2 (5) を1にセットし (ステップS194)、パック・ライトをオフ(表20参照)する (ステップS195)。

[0246]続いて、コマンド・レジスタCR 2の5番目のピットCR 2 (5)が1であるか否か (回ち、DC パイアス・モードか否か)を制定し (ステップS 196)、上記ステップS 196でコマンド・レジスタCR 2 (5)が1である (YES) (回ちDCパイアス・モードである)と判定された場合には、データ・レジスタDRを1FFにセットし (ステップS 197)、データ・レジスタDRの内容を第1ボートに出力して (ステップS 198)、DCパイアス・モードを形成する (ステップS 198)。

【0247】更に、コマンド・レジスタCR2の2番目のピットCR2(2)が1であるか否か(即ち、クロッ

が1でない(NO)と判定された場合には、処理を終了

データ・レジスタDR2の1番目のピットDR2 (1)

SMIg が1である (YES) と判定された場合には、

ク・コントロールか否か) を判定し (ステップS 19 1 0)、上記ステップS 19 10でコマンド・レジスタC R 2 (2) が1である (YES) (即ちクロック・コントロールである) と判定された場合には、コントロール・レジスタCLR 2の8番目のビットCLR 2 (8) を1にセットし (ステップS 19 11)、クロック・ストップ (表 17参照) を形成する (ステップS 19 1 【0248】図21に戻って、処理2を終了したならば、再びSKキーの割込があったか否かを判定し、ステップS20)、上記ステップS20でSKキーの割込があった(YES)と判定された場合には、NMI及びM/Sをそれぞれのにリセットし(ステップS21)、SM3及びSM2を0に、SM1を1に、コントロール・レジスタCLRを000に、データ・レジスタDRを000に、データ・レジスタDRをでのののに、ボータ・レジスタDRをでのできれぞれりセットして(ステップS22)、データ・レジスタDRの内容を第1ボートに出力して(ステップS23)、上記ステップS23)、上記ステップS23)、上記ステップS23)、上記ステップS23)、上記ステップS23)、上記ステップS23)、上記ステップS23)、

[0249]また、上記ステップS20でSKキーの割込がない(NO)と判定された場合には、コマンド・レジスタCR1の1番目のピットCR1(1)が1であるか否か(卸ち、上記ステップS24でCR1(1)が1でない(NO)と判定された場合には、上記ステップS18に戻り、他方、上記ステップS24でCR1(1)が1である(YES)と判定された場合には、データ・レジスタDR2の8番目のピットDR2(8)を1にセットし(ステップS25)、ディスプレイ/バックライトをオンにして(ステップS26)、上記ステップS18

[0250]上記ステップS15でSKキーの創込がない(NO)と判定された場合には、処理3を実行する(ステップS27)。

[0251] ここで、図25を参照して、処理3を税明

にセット (囲ち、FMCのパワー・コントロールをオン) し (ステップS276)、上記ステップS275でSM12 が1でむい (NO) と判定された場合には、DR1 (2) をのにセットする (ステップS277)。 (0254] 以下、SM13 が1であるが高かを判定し (ステップS278でSM13 が1である (YES) と判定された場合には、デーサ・レジスタDR1の3番目のピットDR1 (3) を1にセット (町ち、S1/O (11) のパワー・コントロールをオン) し (ステップS279)、上記ステップS271には、DR1 (3) を0にセットを3279)、上記ステップS271には、DR1 (3) を0にセットなる (ステップS271)

[0255] 回様に、SMI4 が1であるか否かを判定 し (ステップS2711)、上記ステップS2711で SMI4 が1である (YES)と判定された場合には、 データ・レジスタDR1の4番目のビットDR1 (4) を1にセット (即ち、DMACのパワー・コントロール をオン)し (ステップS2712)、上記ステップS2 711でSMI4 が1でない (NO)と判定された場合 には、DR1 (4)を0にセットする (ステップS27 【0256】SMIs が1であるか否かを判定し (ステ 【0257】SMI6 が1であるか否かを判定し (ステ レジスタDR1の6番目のピットDR1 (6) を1にセ 【0258】SM17 が1であるか否かを判定し (ステ レジスタDR1の7番目のピットDR1 (7) を1にせ ット (閂ち、RTCのパワー・コントロールをメン) し (ステップS2721)、上記ステップS2720でS MI7 が1でない (NO) と判定された場合には、DR 0259] 同様に、SM19 が1であるか否かを判定 ップS2714)、上記ステップS2714でSM15 が1である(YES)と判定された場合には、データ・ レジスタDR1の5番目のビットDR1 (5) を1にセ し (ステップS2715)、上記ステップS2714で SMIs が1でない (NO) と判定された場合には、D R1 (5) を0にセットする (ステップS2716)。 ップS2717)、上記ステップS2717でSMI6 が1である(YES)と判定された場合には、データ・ ット (凹ち、CTCのパワー・コントロールをオン) し (ステップS2718)、上記ステップS2717でS MI6 が1でない(NO)と判定された場合には、DR ップS2720)、上記ステップS2720でSM17 が1である(YES)と判定された場合には、データ・ し (ステップS2723) 、上記ステップS2723で ット (即ち、INTCのパワー・コントロールをオン) 1 (6) を0にセットする (ステップS2719)。 1 (1)を0にセットする (ステップS2122)。

を1にセット (即ち、S1/0 (1) のパワー・コント ロールをオン)し(ステップS2724)、上配ステッ TS2723でSMIg が1でない (NO) と判定され た場合には、DR2(1)を0にセットする (ステップ

【0260】SMI₁₀が1であるか否かを判定し (ステ ップS2726)、上紀ステップS2726でSMI10 ット (問も、KBCのパワー・コントロールをメン) し (ステップS2727)、上記ステップS2726でS MI10が1でない (NO) と判定された場合には、DR が1である(YES)と判定された場合には、データ・ レジスタDR2の2番目のピットDR2(2)を1にセ 2 (2) を0にセットする (ステップS2728)。

(ステップS2729)、上記ステップS2729でS MIIIが1である (YES) と判定された場合には、デ -タ・レジスタDR2の3番目のビットDR2 (3) を I にセット (即ち、CPUのパワー・コントロールをオ ン)し (ステップS2730)、上記ステップS272 は、DR2 (3) を0にセットする (ステップS273 1)。これらデータ・レジスタDRの内容をPI/0の 第1ポートに出力して (ステップS2732)、DCバ イアス・モードを設定する (ステップS2733)。即 ち、処理3では、SMIの要求があったデバイスのパワ [0261] 更に、SMI₁₁が1であるか否かを判定し 9でSMIIIが1でない (NO) と判定された場合に - をコントロールする。

は、実行イベントがあるか否かを判定し (ステップS2 0) と判定された場合には、コマンド・レジスタCR2 の1番目のピットCR2 (1) が1であるか否かを更に 判定し (ステップS29)、上記ステップS29でCR 2 (1) が1でない (NO) と判定された場合には、上 祀ステップS14に戻る。また、図21及び図22に示 すように、上記ステップS29でCR2 (1) が1であ る(YES)と判定された場合には、コントロール・レ **ジスタCLR2の3番目のビットCLR2 (3) を1に** セットして (ステップS30)、クロック・ダウン値を [0262] 図21に戻って、処理3を終了したなら 8)、上記ステップS28で実行イベントがない (N | /12倍に設定する (ステップS31)。

同時に、M/Sを0にセットし (ステップS32)、デ - タ・レジスタDRの内容を築1ポートに出力し(ステ 7533), SM3&0C, SM2&1C, SM1& 1にそれぞれセットし (ステップS34)、奥行状態を 形成し(ステップS35)、プリント命令があるか否か を判定し (ステップS36) 、上配ステップS36でブ リント命令がない (NO) と判定された場合には、SK 【0263】他方、上記ステップS28で実行イベント がある (YES) と判定された場合には、ステイタス・ レジスタSR, コントロール・レジスタCLR, 及びデ -タ・レジスタDRをそれぞれの 0´0 Oにセットすると

にセットし (ステップS38)、SM3を0に, SM2 を1に, そしてSM1を0にセットして (ステップS3 と判定された場合には、NMI及びM/Sをそれぞれ1 9)、待避伏息を形成して(ステップS40)、処理4 上記ステップS37でSKキーの割込がある(YES) キーの割込があるか否かを判定し(ステップS37)、 を実行する (ステップS41)。

【0264】ここで、図26を参照して、処理4を説明

CR2の7番目のピットCR2 (7) が1であるか否か である(YES)と判定された場合には、データ・レジ テップS419)、DCパイアス・モードに設定し (ス (1) が1である (YES) と判定された場合には、コ ロック・ダウン値を1/8倍に設定する (ステップS4 でCR2 (1) が1である (YES) と判定された場合 こは、データ・レジスタDR2の4番目のピットDR2 (4) を1にセットし (ステップS412)、ディスプ レのパワーをオフに設定し (ステップS413)、コマ ンド・レジスタCR2の8番目のピットCR2(8)が 1であるか否かを判定し(ステップS414)、上記ス テップS414でCR2 (8) か1である (YES) と 引定された場合には、データ・レジスタDR2の5番目 のピットDR2 (5) を1にセットし (ステップS41 5)、 パック・ライトのパワーをオフに設定し (ステッ **ブS416)、コマンド・レジスタCR2の5番目のビ** ットCR2 (5) が1であるか否かを判定し (ステップ データ・レジスタDRの内容を第1ポートに出力し(ス テップS4110)、コマンド・レジスタCR2の1番 目のビットCR2 (1)が1であるか否かを判定し(ス テップS4111)、上記ステップS4111でCR2 ントロール・レジスタCLR2の2番目のピットCLR 2 (2) を1にセットして (ステップS4112)、ク 【0265】図26の処理4では、コマンド・レジスタ を判定し (ステップS411)、上配ステップS411 S417)、上記ステップS417でCR2(5)が1 スタDRを1FFFにセットし (ステップS418)、 113),

あった (YES) と判定された場合には、NMI及びM ば、再びSKキーの割込があったか否かを判定し(ステ ップS42)、上記ステップS42でSKキーの創込が /5をそれぞれのにリセットし (ステップS43)、コ ントロール・レジスタCLRを0000に、データ・レ ジスタDRを0000にそれぞれリセットして (ステッ ブS44)、上記ステップS33に戻る。また、上記ス テップS42でSKキーの割込がない (NO) と判定さ 【0266】図22に戻って、処理4を実行したなら れた場合には、上記ステップS40に戻る。

[0267] 上記ステップS37で、SKキーの割込が ない(NO)と判定された場合には、処理5を実行する (ステップS45)。

|0268||ここで、図27を参照して、処理5を説明

【0270】SM12 が1であるか否かを判定し (ステ である(YES)と判定された場合には、データ・レジ スタDR1の2番目のピットDR1 (2) を1にセット (即ち、FMCのパワー・コントロールをオン) し (ス [0269]図27の処理5では、M/Sを1にセット **判定し (ステップS452) 、上記ステップS452で** データ・レジスタDR1の1番目のピットDR1 (1) を1にセット (巨ち、VDCのパワー・コントロールを オン) し (ステップS453) 、上記ステップS452 DR1 (1) を0にセットする (ステップS454)。 ップS 4 5 5)、上記ステップS 4 5 5 で S M I 2 が I テップS456)、上記ステップS455でSMI2が 1でない (NO) と判定された場合には、DR1(2) し (ステップS451)、SMI1が1であるか否かを SMI1 が1である (YES) と判定された場合には、 でSMI」が1でない(NO)と判定された場合には、 を0にセットする (ステップS457)。

SMI3 が1でない (NO) と判定された場合には、D である(YES)と判定された場合には、データ・レジ 511でSMI4が1でない (NO) と判定された場合 には、DR1 (4) を0にセットする (ステップS45 【0271】SMI3 が1であるか否かを判定し (ステ (即ち、SI/0(II)のパワー・コントロールをオ 【0272】国機に、SMI4が1であるか否かを判定 し (ステップS4511)、上記ステップS4511で を1にセット (即ち、DMACのパワー・コントロール スタDR1の3番目のピットDR1 (3) を1にセット ン) し (ステップS459) 、上記ステップS458で をオン)し (ステップS4512) 、上記ステップS4 ップS458)、上記ステップS458でSMI3 が1 R1 (3) を0にセットする (ステップS4510)。 データ・レジスタDR1の4番目のピットDR1 (4) SMI4 が1である (YES) と判定された場合には、 13),

レジスタDR1の5番目のヒットDR1 (5) を1にセ し (ステップS4515)、上記ステップS4514で SMIs が1でない (NO) と判定された場合には、D [0274] SMI6 が1であるか否かを判定し (ステ ット (閂ち、CTCのパワー・コントロールをオン) し (ステップS4518)、上記ステップS4517でS [0273] SMI5 が1であるか否かを判定し (ステ レジスタDR1の6番目のピットDR1(6)を1に七 ップS4514)、上記ステップS4514でSMI5 が1である(YES)と判定された場合には、データ・ ット (凹ち、INTCのパワー・コントロールやオン) R1 (5) を0にセットする (ステップS4516)。 ップS4517)、上記ステップS4517でSMI6 が1である(YES)と判定された場合には、データ・

MI₆ が1でない (NO) と判定された場合には、DR シト (巨も、RTCのパワー・コントロールをオン) つ MI7 が1でない (NO) と判定された場合には、DR 7S4523でSMIg が1でない (NO) と判定され [0275] SMI7 が1であるか否かを判定し (ステ が1である(YES)と判定された場合には、データ・ ノジスタDR1の7番目のビットDR1 (7) を1にた (ステップS4521)、上記ステップS4520でS [0276] 続いて、SMI9 が1であるか否かを判定 し (ステップS4523)、上記ステップS4523で ロールをオン)し (ステップS4524) 、上記ステッ **参しにセット (凹ち、S1 /0 (1) のパワー・コント** ップS4520)、上記ステップS4520でSM17 データ・レジスタDR2の1番目のビットDR2 (1) SMIg が1である (YES) と判定された場合には、 1 (6) を0にセットする (ステップS4519)。 1 (7) を0にセットする (ステップS4522)。

た場合には、DR2(1)を0にセットする (ステップ

S4525).

ップS4526)、上記ステップS4526でSMI₁₀ レジスタDR2の2番目のピットDR2(2)を1にセ (ステップS4527)、上記ステップS4526でS MIjoが1でない (NO)と判定された場合には、DR [0278] 同様に、SMI₁₁が1であるか否かを判定 オン)し (ステップS4530)、上記ステップS45 2.9 でSMI₁₁が1でない (NO) と判定された場合に は、DR2 (3) を0にセットする (ステップS453 1)。これらデータ・レジスタDRの内容をP1/0の 単1ポートに出力して (ステップS4532)、DCパ イアス・モードを散定し (ステップS4533)、コマ ンド・レジスタCR1の2番目のビットCR1 (2) が 1であるか百かを判定し (ステップS4534)、上記 S)と判定された場合には、コントロール・レジスタC LR2の6番目のピットCLR2 (6) を1にセットし 【0277】SMI10が1であるか否かを判定し (ステ が1である(YES)と判定された場合には、データ・ ット (町ち、KBCのパワー・コントロールをオン) し し (ステップS4529)、上記ステップS4529で を1にセット (町ち、CPUのパワー・コントロールを (ステップS4535) 、クロック・ダウン値をスピー データ・レジスタDR2の3番目のビットDR2(3) SMI₁₁が1である(YES)と判定された場合には、 27"7S45347CR1 (2) MITMS (YE 2 (2) を0にセットする (ステップS4528)。

[0279] 図22に戻って、上記ステップS36でプ リント命令がある(YES)と判定された場合には、コ が1であるか否かを判定し (ステップS46)、上記ス テップS 4 6 でCR 1 (3) が1でない (NO) と判定 マンド・レジスタCR1の3毎日のビットCR1 (3) ド・ダウンに設定する (ステップS4536)。

8

助作は第1寅施例及び第2寅施例にそれぞれ対応してい [0280] 図28は、図7の剪1実施例と図18の第 2 実施例を組合わせた構成を示しており、各構成部分や 6)、上述したステップS14に戻る。 るので説明を省略する。

る記憶手段と、記憶手段に接続されており記憶手段をア マネージメント命令を復号して制御信号を出力する復号 【発明の効果】類1発明のデジタル電子機器用電力制御 **長間は、符合化された電力マネージメント命令を出力す** クセスするアクセス手段と、記憶手段に接続されており 記憶手段から出力された符号化された電力マネージメン ト命令を記憶する命令制御手段と、命令制御手段に接続 されており命令倒御手段に記憶された符合化された電力 年段と、復号手段に接続されており復号手段により復号 された電力マネージメント命令を記憶して処理する複数 のレジスタとを備えているので、論理的システム手段に よりデジタル電子機器の電力を制御できる。

れたモードに基づいて入力及び出力を制御するので、処 0282] 第2発明の処理装置は、消費電力が低減さ れるように電源を所定のモードに設定すると共に設定さ 理校置毎に個々に電力を制御できる。

いデジタル電子機器用電力管理システムを構成でき、そ (0283) 類3免明のデジタル電子機器用電力管理シ ステムは、処理装置の複数を一つ又は複数の大規模集構 回路で形成し、一つ又は複数の大規模集積回路の消費電 力が低減されるように各複数の処理装置の電力を制御す るので、システムの魅力を固々に制御して、自由度が高

の結果、各構成節分で極めて細かくパワーマネージメン トを行ってシステム全体の消費艦力を大きく低減でき

法で実現できるので特に図示していない。また、扱20 [0284] 表17のクロック・ダウン値や表18のタ **ſム・アウト値を設定する制御回路は、知られている方** に示されるパワー・コントロール定義可能なフラッグに よるパワー・コントロールの制御回路も容易に実現でき 5ので、図示していない。

出する例を示していないが、剪2実施例のように、CP 5問題では、PI/Oの個別問題問的RがSMI8 を被 [0285] 第1英簡例では、PI/0のSM18 を検 **JやI/Oコントローラ自体でパワー・コントロールす** 出して、PI/OのDCパイアス・モードを設定する。 【図面の簡単な説明】

【図1】本発明のデジタル電子機器用電力管理装置の一 **長施例である個別制御部の構成を示すブロック図であ** 【図2】図1の個別制御部の動作を説明するためのフロ -チャートである。

【図3】図1の個別制御部を備えたシステムの一構成例

【図4】 電源がフルーパワー及びDCパイアスに変化し を示すブロック図である。

たときの電影の動作を示す説明図。

【図6】亀銀コントロール回路の一様成例を示すブロッ |図5 | 図3のシステムの状態図である。

【図7】図6の電源コントロール回路を用いたシステム 7図である。

【図8】図7のCPU部分の一構成例を示す説明図であ の一構成例を示すプロック図である。

【図9】図1の個別制御師を有する並列入出力コントロ

- シの一種収配を示すプロック図だある。

【図10】図9のコントローラに対応する個別制御部の [図11] 図10及び図11の並列入出力コントローラ ノジスタの一種成例を示すプロック図である。

【図12】図1の個別制御部を有する中央処理装置(C の状態図である。

[図13] 図12のCPUに対応する個別制御部のレジ PU)の一構成例を示すプロック図である。 スタの一構成例を示すブロック図である。

[図15] 図7に示されたパワー・コントロールのプロ 3によってスイッチングされる電源の動きを示すタイミ 【図14】図12及び図13のCPUの状態図である。 ック図に対応したパワー制御の信号波形と制御信号A, ノグ・チャートである。

であり個別制御部自体でも電源をコントロールできる構 【図16】本発明のパワー・コントロールの第2実施例 **式を示す個別制御部のブロック図である。** 【図17】図16の実施例の動作を説明するためのタイ

(28)

【図18】個別制御部自体でパワー制御を行うときのシ ステムの一構成例を示すプロック図である。 ミング・チャートである。

[図26] 図22の処理4を説明するためのフローチャ [図27] 図22の処理5を説明するためのフロー予や [図28] 本免因のパワー・コントロールの第3段指例

-トである。 -トである。

ローチャートである。

【図19】図18のCPU部分の一構成例を示す説明図

【図20】図1のP1/0を構成する個別制御部の動作

【図21】図1のP1/0を構成する個別制御部の動作 を説明するための第2のフローチャートである。 を説明するための第1のフローチャートである。

【図22】図1のPI/0を構成する個別制御朗の動作 を説明するための第3のフローチャートである。

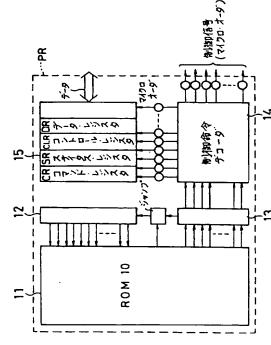
[図23] 図20の処理1を説明するためのフローチャ

[図24] 図21の処理2を説明するためのフローチャ

[図25] 図21と図22の処理3を説明するためのフ

である第1寅施例及び第2奥施例を組合わせた構成を示 10 リードオンリメモリ (ROM) 11 プログラム記憶部 12 アドレスカウンタ **転倒命やアジスタ** すブロック図である。 【符号の説明】

15 レジスタ・グループ 14 町御命令デコーダ



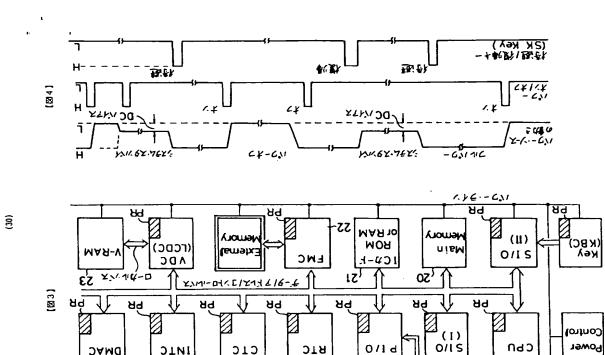
[813]

[98]

8X41-1-044 V: \$94 - 1 17 35 19+7-1-329 19192-1529

9-9-1.929

3771.1476



BIC

ソトモ東:夏

OIO

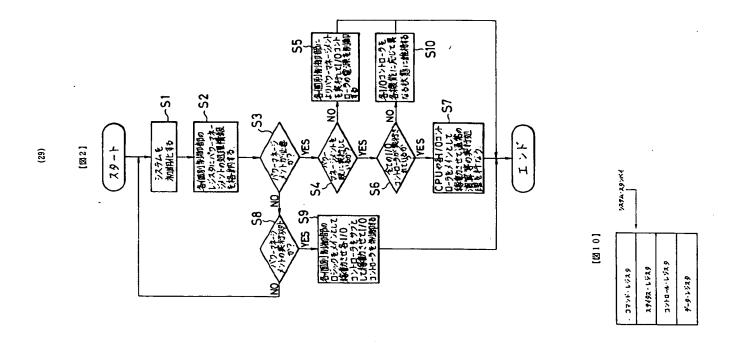
INTC

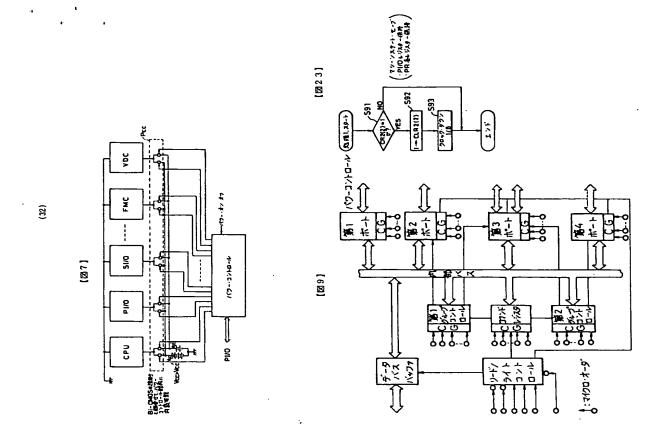
0/1 d

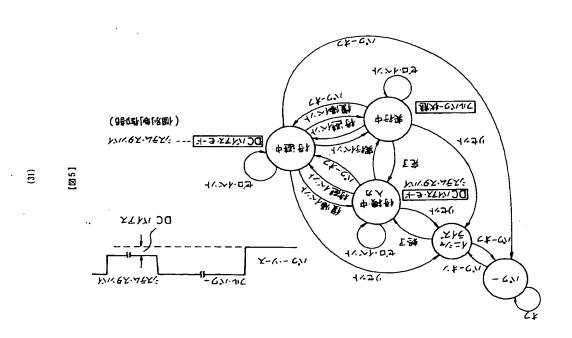
を記れてロインに来る

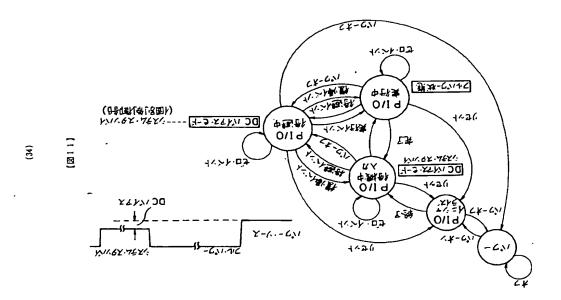
UGD

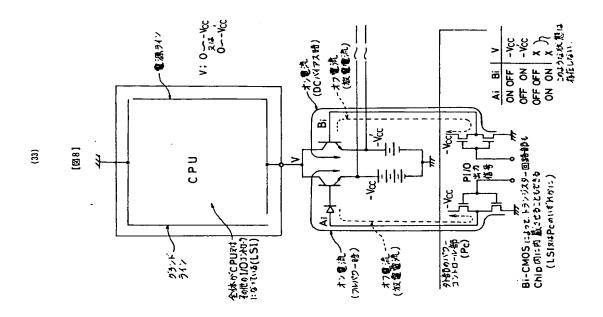
Power



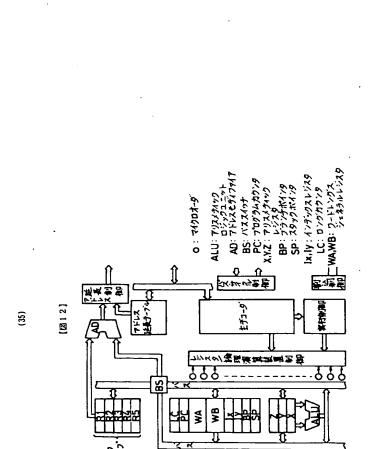








(36)

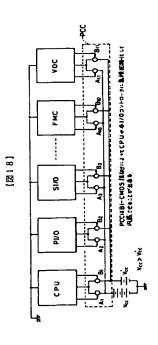


(相对相识图))

2211 DO

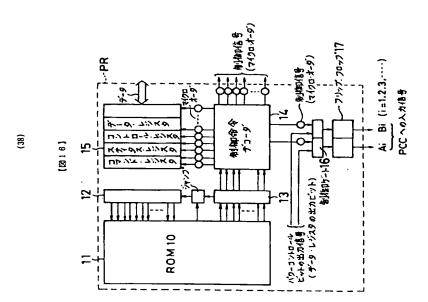
DC1447. C-F --- 7.794.79914

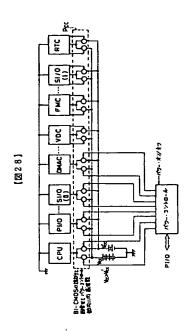
福福 CBN

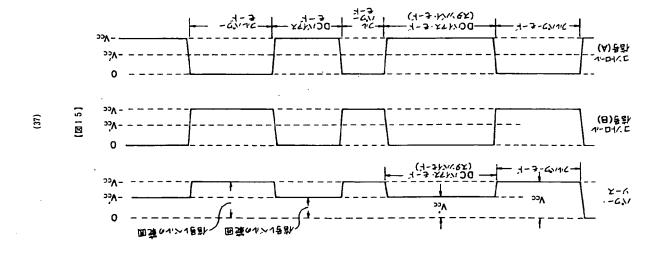


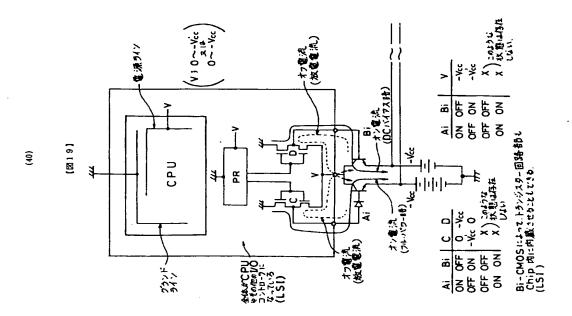
4426

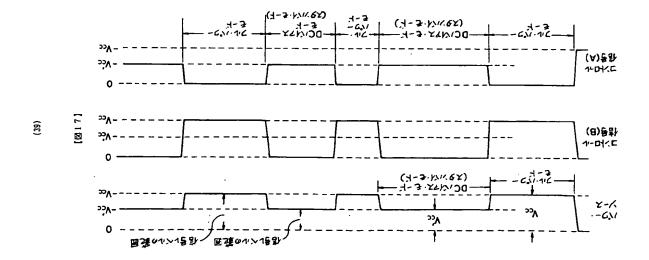
042 45/46 (6.4)

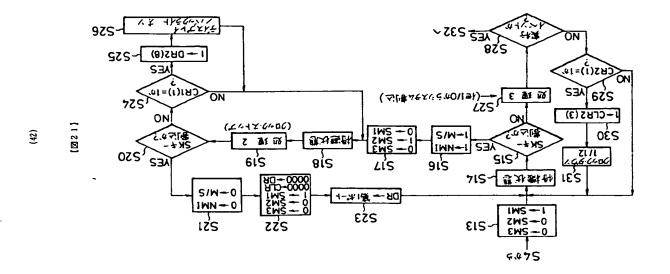


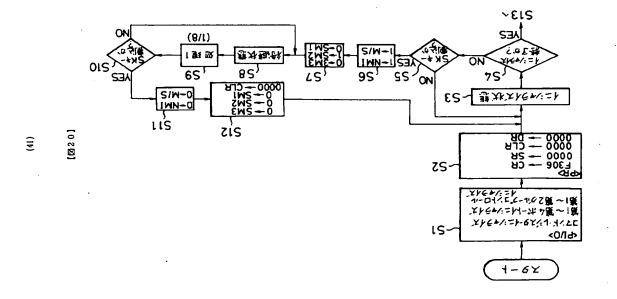




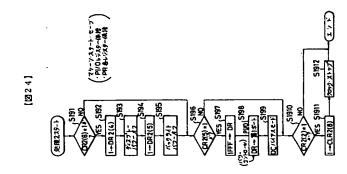


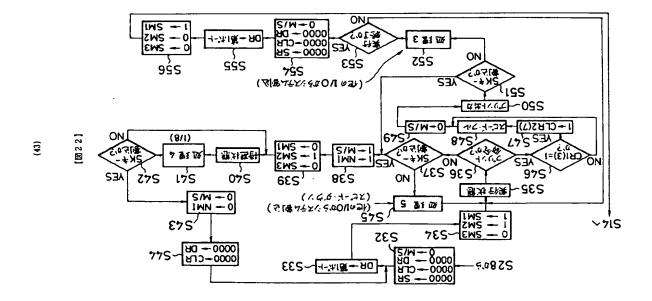




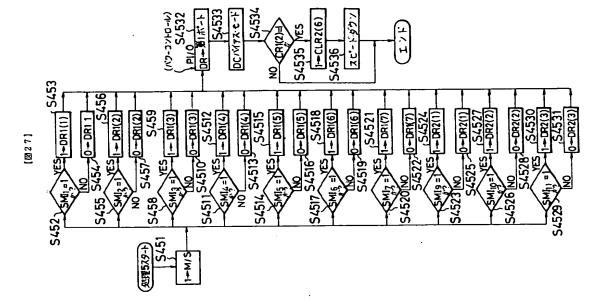


<u>\$</u>

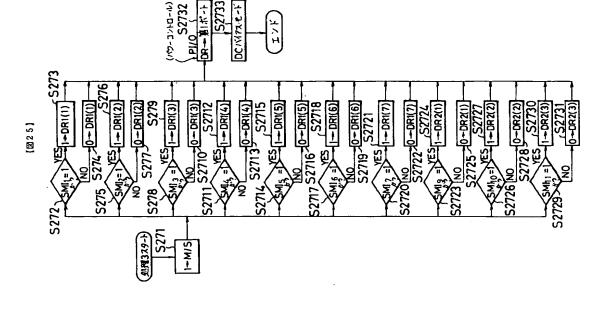




(46)



(42)



\$

よる入力を各デジタル電子機器用電力超函数置が増出し

システムでは、外部から人為的に消費電力を減少させる ためのスペシャルキーを有しており、スペシャルキーに たときにシステムを構成する中央処理整置や各入出力コ ントローラがいつでも待避状態に入ってシステム全体も 待避状態に入り、再度核スペシャルキーによる入力を各

復帰してシステム全体も直前の状態に復帰するように機 成されており、スペシェルキーによる歌力制御は、待發 状態においてデジタル電子機器用電力制剤装置低に設定 されたパワーマネージメント命令をデジタル電子機器用

中央処理技能や放各人出力コントローラは直前の状態に

デジタル電子機器用電力制御装置が検出したときには、

(補正対象書類名) 明細書 [中校補正1]

(提出日)平成5年2月8日

(手続補正書)

「補正対象項目名」特許請求の範囲

【補正方法】変更

【桶正内容】

[特許請求の範囲]

と、前記命令制御手段に接続されており該命令制御手段 記憶手段をアクセスするアクセス手段と、前記記憶手段 された電力マネージメント命令を記憶する命令制御手段 を復号して制御暦号を出力する復号手段と、前記復号手 カマネージメント命令を記憶して処理する複数のレジス **タとを備えていることを特徴とするデジタル電子機器用** 【顔水頂1】 符号化された電力マネージメント命令を 出力する記憶手段と、前記記憶手段に接続されており該 に接続されており核配億手段から出力された前配符号化 に記憶された前記符号化された電力マネージメント命令 段に接続されており該復号手段により復号された前記電 1. 力制御装置。

【請求項2】 消費電力が低減されるように電源を所定 のモードに設定すると共に当該設定されたモードに基づ に記載のデジタル電子機器用電力制御装置を備えた処理 いて入力及び出力を制御することを特徴とする請求項1

【肺水頂3】 (請水頂2に記憶の処理装置の複数を一つ 又は複数の大規模集積回路で形成し、該一つ1又は複数 の大規模集積回路の消費電力が低減されるように各該技 数の処理装置の電力を制御することを特徴とするデジタ ル電子機器用電力管理システム。

一ラは直前の状態に復帰して該システム全体も直前の状 電力消費を減少させることを特徴とする請求項3に記載 【顔水頂4】 外部から人為的に消費電力を減少させる による電力制御は、待避状態において放デジタル電子機 や各人出力コントローラがいつでも待避状態に入って該 システム全体も待避状態に入り、再度放スペシャルキー による入力を各肢デジタル電子機器用電力制御装置が検 出したときには、該中央処理装置や該各入出力コントロ 器用電力制御装置毎に設定されたパワーマネージメント 命令を当肢デジタル電子機器用電力制御装置が実行して ためのスペシャルキーを有しており、当該スペシャルキ **一による入力を各前記デジタル電子機器用電力制御装置** が検出したときに前記システムを構成する中央処理装置 節に復帰するように構成されており、数スペシャルキー のデジタル電子機器用電力管理システム。

教置によって制御されるので、駆動概圧レベルが高い時 【藤求項5】 前記パワーマネージメントに関して前記 システムを構成する前配中央処理装置や前配各入出力コ ントローラの電源は、前記デジタル電子機器用電力制御 間と核型動電圧レベルが低い時間があり、動作周波数も

行状態にあるかによって処理速度の上昇または下降を制 時間的に上下するので、該システムの電力消費を減少さ せると同時に扱システムが実行状態にあるかまたは非実 卸して肢システム全体の該処理速度を落すことなく制御 できることを特徴とする類求項4に記載のデジタル電子 機器用電力管理システム。

[手続補正2]

[補正対象書類名] 明細書

[補正対象項目名] 0011

[補正方法] 変更

(相正内容)

【0011】 第3発明は、処理装置の複数を一つ又は **複数の大規模集積回路で形成し、一つ又は複数の大規模** 製積回路の消費電力が低減されるように各複数の処理袋

夏の電力を制御するデジタル電子機器用電力管理システ ムによって達成される。また、第3発明は、外部から人 為的に消費無力を減少させるためのスペシャルキーを有

しており、スペシャルキーによる入力を各デジタル配子 機器用電力制御装置が検出したときにシステムを構成す

状態に入ってシステム全体も待避状態に入り、再度核ス 5.中央処理装置や各入出力コントローラがいつても待避 ペシャルキーによる入力を各デジタル電子機器用電力配

たは下峰を制御してシステム全体の処理速度を落すこと

御梦暦が始出したときには、中央処理装置や該各入出力 コントローラは商前の状態に復帰してシステム全体も直 前の状態に復傷するように構成されており、スペシャル

キーによる電力制御は、待避状態においてデジタル賦子 機器用電力制御装置低に設定されたパワーマネージメン ト命令をデジタル電子機器用電力制御数置が実行して間 **力消費を減少させるデジタル電子機器用電力管理システ**

【0283】 第3発明のデジタル電子機器用電力管理 システムは、処理装置の複数を一つ又は複数の大規模象 **韓回路で形成し、一つ又は複数の大規模単積回路の消費** 電力が低減されるように各複数の処理装置の電力を制御

【補正対象項目名】0283 [補正対象書類名] 明細書

[手続補正4]

補正方法】 変更

(福正内容)

高いデジタル電子機器用電力管理システムを構成でき、

メントに関してシステムを構成する中央処理装置や各入 **出カコントローラの煮液は、デジタル電子機器用電力制** ムであってもよい。更に、第3発明は、パワーマネージ **初梦置によって制御されるので、駆動電圧レベルが高い**

ると問時にシステムが東行状態にあるかまたは非東行状 てシステム全体の処理決度を落すことなく制御できるデ 特間と駆動電圧レベルが低い時間があり、動作周波数も **持間的に上下するので、システムの電力消費を減少させ 問にあるかによって処理液度の上昇または下降を制御し ジタル電子機器用電力管理システムであってもよい。**

(手税補正3)

[補正対象項目名] 0014

補正対象書類名】明細書

補正方法】変更

桶正内容

0014】 第3発明のデジタル電子機器用電力管理 東権回路で形成し、一つ又は複数の大規模集構回路の消 質電力が低減されるように各複数の処理装置の電力を制 **前する。また、第3条明のデジタル電子機器用電力管理** / ステムでは、処理装置の複数を一つ又は複数の大規模

ペルが高い時間と取動電圧レベルが低い時間があり、動 その結果、各様成節分で極めて細かくきパワーマネージ メントを行ってシステム全体の消費職力を大きく低減で きる。<u>また、筑3条明のデジタル電子</u>機器用電力管理シ ステムは、外間から人為的に消費電力を減少させるため のスペシャルキーを有しており、スペシャルキーによる <u>入力を各デジタル電子開器用電力制御装置が検出したと</u> ローラがいつでも待避状態に入ってシステム全体も倍退 伏難に入り、 再度核スペシャルキーによる人力を各デジ タル電子機器用電力制御装置が検出したときには、中央 処理装置や放各人出力コントローラは直前の状性に復婚 してシステム全体も直角の状態に復帰するように関ロさ れており、スペシャルキーによる無力制御は、待選状態 においてデジタル電子機器用電力耐御装置低に設定され たパワーマネージメント命令をデジタル電子機器用配力 前剤效置が取行して着力消費を減少させるので、システ ムの意力を個々に制御して、自由度が高いデジタル航子 機器用電力管理システムを構成でき、その結果、各構成 部分で極めて細かくさパワーマネージメントを行ってシ ステム全体の消費素力を大きく低潮できる。更に、 筑3 **泉明のデジタル電子機器用電力管理システムでは、パワ** <u> - マネージメントに関してシステムを構成する中央処理</u> **数配や各入出カコントローラの電視は、デジタル航子機** 器用電力制御装置によって制御されるので、駆動骸圧レ 作用液数も時間的に上下するので、システムの配力消費 <u>を減少させると問時にシステムが東行状態にあるかまた</u> <u>は非実行状態にあるかによって処理改度の上昇または下</u> 路を制御してシステム全体の処理液度を挤すことなく脚 **削できるので、システムの電力を個々に制御して、自由 収が高いデジタル電子機器用電力管理システムを構成で** 6、その結果、各構成網分で極めて細かくきパワーマネ --ジメントを行ってシステム全体の消費権力を大きく低 きにシステムを構成する中央処理数置や各入出力コント 力消費を減少させると同時にシステムが東行状態にある するので、システムの電力を個々に制御して、自由度が

パワーマネージメントに関してシステムを構成する中央 子機器用電力制御装置によって制御されるので、駆動電 り、動作開波散も時間的に上下するので、システムの電 かまたは非東行状態にあるかによって処理法度の上程ま

処理装置や各入出力コントローラの電視は、デジタル側

圧レベルが高い時間と駆動電圧レベルが低い時間があ

東力制御装置が東行して置力消費を減少させる。更に、

第3条明のデジタル電子機器用電力管理システムでは、